

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 9 月 12 日 (12.09.2003)

PCT

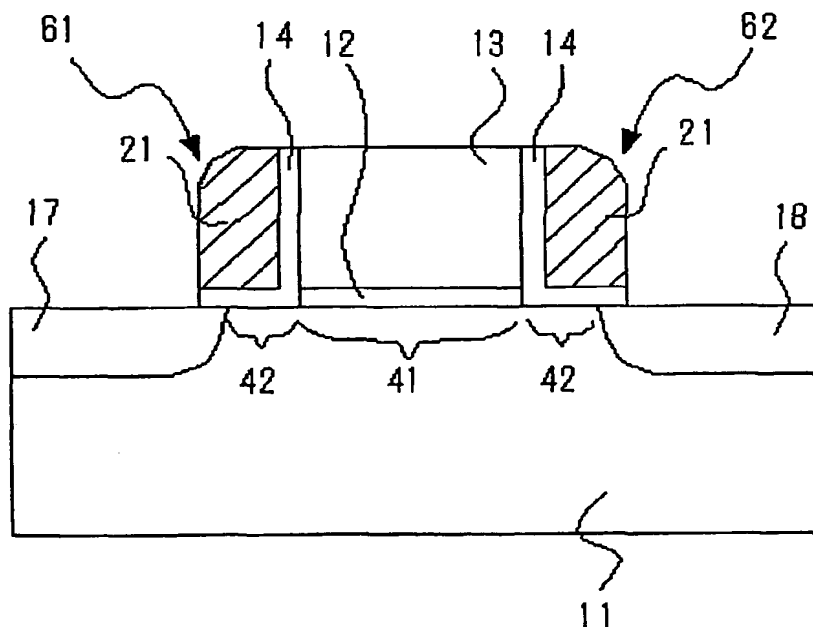
(10) 国際公開番号
WO 03/075358 A1

- (51) 国際特許分類: H01L 29/792 (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒545-8522 大阪府 大阪市 阿倍野区長池町22番22号 Osaka (JP).
- (21) 国際出願番号: PCT/JP03/02420
- (22) 国際出願日: 2003 年 3 月 3 日 (03.03.2003)
- (25) 国際出願の言語: 日本語 (72) 発明者; および
- (26) 国際公開の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 岩田 浩 (IWATA, Hiroshi) [JP/JP]; 〒636-0813 奈良県 生駒郡 三郷町信貴ヶ丘 2-4-1 3 Nara (JP). 柴田 晃秀 (SHIBATA, Akihide) [JP/JP]; 〒631-0803 奈良県 奈良市 山陵町 1 0 4-B 2 0 3 Nara (JP).
- (30) 優先権データ:
特願2002-58142 2002 年 3 月 5 日 (05.03.2002) JP
特願2003-35280 2003 年 2 月 13 日 (13.02.2003) JP

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: A semiconductor storage comprises a semiconductor substrate (11), a gate insulating film (12) formed on the semiconductor substrate (11), a single gate electrode (13) formed on the gate insulating film (12), two charge holding portions (61, 62) on both sides of the side wall of the gate electrode (13), source/drain regions (17, 18) corresponding to the respective charge holding portions (61, 62), and a channel region disposed under the single gate electrode (13). The memory function shouldered by the two charge holding portions (61, 62) is separated from the transistor operation function shouldered by the gate insulating film (12) while maintaining the adequate memory function. By thinning the gate insulating film (12), a short-channel effect can be easily suppressed. Since the two charge holding portions (61, 62) formed on both sides of the gate electrode

(13) are isolated from each other by the gate electrode (13), the interference during write is effectively suppressed. Further, by adequately setting the voltage of the gate electrode (13), the voltage of one diffusion layer region (17), and the voltage of the other diffusion layer region (18), holes or electrons can be injected selectively into the charge holding portion (62) on the side of the one diffusion layer region (18). Thus, a semiconductor storage capable of carrying out a two-bit operation and easily microminiaturized is provided.

(57) 要約: 半導体基板 11 と、この半導体基板 11 上に形成されたゲート絶縁膜 12 と、このゲート絶縁膜 12 上に形成された単一のゲート電極 13 と、このゲート電極 13 側壁の両側に 2 つの電荷保持部 61、62 と、この電荷保持部 61、62 のそれぞれに対応するソース/ドレイン領域

[続葉有]



(74) 代理人: 青山 葆, 外(AOYAMA, Tamotsu et al.); 〒540-0001 大阪府 大阪市 中央区 城見1丁目3番7号 I M P ビル 青山特許事務所 Osaka (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,

AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

17、18と、単一ゲート電極13下に配置されたチャネル領域とを備える構成により、2つの電荷保持部61、62が担うメモリ機能と、ゲート絶縁膜12が担うトランジスタ動作機能とを分離して、十分なメモリ機能を有しつつ、ゲート絶縁膜12を薄膜化して短チャネル効果を容易に抑制できる。また、ゲート電極13の両側に形成された2つの電荷保持部61、62は、ゲート電極13で分離されているので、書換え時の干渉が効果的に抑制できる。さらに、ゲート電極13の電圧と、一方の拡散層領域17の電圧と、他方の拡散層領域18の電圧とを適切に設定することで、一方の拡散層領域18の側の電荷保持部62に、選択的に正孔または電子を注入できる。したがって、2ビット動作が可能で、かつ微細化が容易な半導体記憶装置が提供できる。

明 細 書

半導体記憶装置

5 技術分野

本発明は、半導体記憶装置の動作方法に関する。より詳細には、電荷量の変化を電流量に変換する機能を有する電界効果トランジスタからなる半導体記憶装置に関する。

10 背景技術

従来から、1つの電界効果トランジスタで2ビットの記憶が可能な不揮発性メモリとして、サイファン・セミコンダクターズ・リミテッド社が開発したメモリがある（例えば、特表2001-512290号公報参照）。上記従来技術のメモリの構造と、消去動作原理を以下で説明する。

- 15 このメモリは、図9に示したように、P型ウェル領域901上にゲート絶縁膜を介して形成されたゲート電極909、P型ウェル領域901表面に形成された第1のN型拡散層領域902及び第2のN型拡散層領域903から構成される。ゲート絶縁膜は、シリコン酸化膜904、905の間にシリコン窒化膜906が挟まれた、いわゆるONO(Oxide Nitride Oxide)膜からなる。
- 20 シリコン窒化膜906中には、第1及び第2のN型拡散層領域902、903の端部付近に、それぞれ記憶保持部907、908が形成されている。

これらの記憶保持部907、908のそれぞれの個所での電荷の多寡をトランジスタのドレイン電流として読み出すことにより、1トランジスタで2ビットの情報を記憶させることができる。

- 25 次に、このメモリにおける消去動作方法を説明する。ここで、消去とは、記憶保持部907、908に蓄積された電子を放出させることを指すこととする。特表2001-512290号公報では、右側の記憶保持部908に蓄積された電子を放出させるために、第2の拡散層領域903に5.5Vを、ゲート電極909に-8Vを印加してドレイン電極に電子を引きぬく方法が開示されている。こ

れにより、2つある記憶保持部の特定の側を消去することができる。特定の側の書込み及び読出しを行う方法も開示されており、これらの方法を総合して2ビット動作が可能となっている。

しかし、前記のメモリでは、ゲート絶縁膜は、トランジスタを動作させるための機能と、電荷を蓄積するメモリ膜としての機能を併せ持たせるために、ONO膜の3層構造となっていた。それゆえ、ゲート絶縁膜の薄膜化が困難であった。また、チャネル長が短くなるにつれ、1つのトランジスタの記憶保持部907、908の2箇所が互いに干渉して2ビット動作が困難になっていた。それゆえ、さらなる素子の微細化が果たせなかった。

発明の開示

本発明は前記課題に鑑みなされたものであり、1つのトランジスタで2ビットの記憶保持を実現しながら、更に微細化することができる半導体記憶装置を提供することを目的とする。

上記課題を解決するため、第1の発明の半導体記憶装置は、第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜と、上記第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜上に形成されたゲート絶縁膜と、上記ゲート絶縁膜上に形成された単一のゲート電極と、上記単一のゲート電極側壁の両側に形成された2つの電荷保持部と、上記単一のゲート電極下に配置されたチャネル領域と、上記チャネル領域の両側に配置された第2導電型拡散層領域とを備え、上記電荷保持部は、上記電荷保持部に保持された電荷の多寡により、上記ゲート電極に電圧を印加した際の一方の上記第2導電型拡散層領域と他方の上記第2導電型拡散層領域との間に流れる電流量を変化させるように構成されてなり、上記他方の第2導電型拡散層領域を基準電圧とし、上記一方の第2導電型拡散層領域を第1電圧とし、上記ゲート電極を第2電圧とすることにより、キャリアを上記一方の第2導電型拡散層領域側に存する電荷保持部に注入することを特徴としている。

上記構成によれば、上記ゲート電極側壁の両側に形成された2つの電荷保持部

は、上記ゲート絶縁膜とは独立しているので、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されている。そのため、十分なメモリ機能を有したままゲート絶縁膜を薄膜化して短チャンネル効果を抑制するのが容易である。また、ゲート電極の両側に形成された2つの電荷保持部はゲート電極により分離されているので、書換え時の干渉が効果的に抑制される。言い換えれば、2つの電荷保持部間の距離を小さくすることができる。

更には、上記ゲート電極の電圧と、一方の第2導電型拡散層領域の電圧と、他方の第2導電型拡散層領域の電圧を適切に設定することにより、上記一方の第2導電型拡散層領域の側に有る電荷保持部に、選択的にキャリアを注入することができる。したがって、2ビット動作が可能で、かつ微細化が容易な半導体記憶装置が提供される。

ここにおいて、上記第1導電型がP型であるとき、上記第2導電型はN型であり、上記キャリアは正孔である。一方、上記第1導電型がN型であるとき、上記第2導電型はP型であり、上記キャリアは電子である。また、上記第1電圧が、上記基準電圧より高い電圧であるとき、上記第2電圧は、上記基準電圧より低い電圧である。一方、上記第1電圧が、上記基準電圧より低い電圧であるとき、上記第2電圧は、上記基準電圧より高い電圧である。

1 実施の形態の半導体記憶装置では、上記第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜を、上記第1電圧とすることを特徴としている。

本実施の形態の半導体記憶装置によれば、上記他方の第2導電型拡散層領域と、上記第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜との間のPN接合に、順方向電圧が印加される。これによって、上記半導体基板中に、電子又は正孔のうちの一方が注入される。注入された電子又は正孔は、上記一方の第2導電型拡散層領域と、上記第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜との間のPN接合において、加速、散乱され、電子-正孔対を発生する。これによって発生した電子又は正孔のうちの他方が、キャリアとして、上記一方の第2導電型拡散層領域の側に有る電荷保

持部に選択的に注入される。この過程は、上記他方の第2導電型拡散層領域と、上記半導体基板との間の電圧差が比較的低い場合にも起こるため、半導体記憶装置の動作電圧を低くすることが可能となる。したがって、半導体記憶装置の低消費電力化、素子劣化の抑制を実現することができる。

- 5 1 実施の形態の半導体記憶装置では、上記第1導電型は、P型であり、上記第2導電型は、N型であり、上記キャリアは、正孔であり、上記第1電圧は、上記基準電圧より高い電圧であり、上記第2電圧は、上記基準電圧より低い電圧であることを特徴としている。

- 10 上記実施の形態によれば、上記一方のN型拡散層領域の電圧を、上記基準電圧より高い電圧とし、上記ゲート電極の電圧を、上記基準電圧より低い電圧とすることによって、上記一方のN型拡散層領域の側に有る電荷保持部に、選択的に正孔を注入することができる。

- 15 また、上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜を、上記基準電圧よりも高い電圧とすることによって、このP型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜と、上記他方のN型拡散層領域との間のPN接合に順方向電圧が印加され、これによって、上記半導体基板中に電子が注入される。上記注入された電子は、上記一方のN型拡散層領域と、上記P型半導体基板、半導体基板内に設けられたP型ウェル領域又は絶縁体上に配置されたP型半導体膜との間のPN接合において加速、散乱され、電子-正孔対を発生する。このうちの正孔が、上記一方のN型拡散層領域の側に有る電荷保持部に選択的に注入される。この過程は、上記他方のN型拡散層領域と、上記半導体基板との間の電圧差が比較的低い場合にも起こるため、半導体記憶装置の動作電圧を低くすることが可能となる。したがって、半導体記憶装置の低消費電力化、素子劣化の抑制を実現することができる。
- 20 25

1 実施の形態の半導体装置では、上記第1導電型は、N型であり、上記第2導電型は、P型であり、上記キャリアは、電子であり、上記第1電圧は、上記基準電圧より低い電圧であり、上記第2電圧は、上記基準電圧より高い電圧であることを特徴としている。

上記実施の形態によれば、上記一方のP型拡散層領域の電圧を、上記基準電圧より低い電圧とし、上記ゲート電極の電圧を、上記基準電圧より高い電圧とすることによって、上記一方のP型拡散層領域の側に有る電荷保持部に、選択的に電子を注入することができる。

- 5 また、上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜を、上記基準電圧よりも低い電圧とすることによって、このN型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜と、上記他方のP型拡散層領域との間のPN接合に順方向電圧が印加され、これによって、上記半導体基板中に正孔が注入される。
- 10 上記注入された正孔は、上記一方のP型拡散層領域と、上記N型半導体基板、半導体基板内に設けられたN型ウェル領域又は絶縁体上に配置されたN型半導体膜との間のPN接合において加速、散乱され、電子-正孔対を発生する。このうちの電子が、上記一方のP型拡散層領域の側に有る電荷保持部に選択的に注入される。この過程は、上記他方のP型拡散層領域と、上記半導体基板との間の電圧差が比較的低い場合にも起こるため、半導体記憶装置の動作電圧を低くすることが可能となる。したがって、半導体記憶装置の低消費電力化、素子劣化の抑制を実現することができる。
- 15

- 1 実施の形態では、上記第2導電型拡散層領域は、上記ゲート絶縁膜を介して上記ゲート電極とオーバーラップ領域を持たないオフセット構造を有していること
- 20 を特徴としている。

- 上記実施の形態によれば、上記半導体記憶装置はいわゆるオフセットトランジスタ構造を有しており、大きなメモリ効果を得ることができる。一方、オフセット構造を有するがゆえに、上記ゲート電極の電位により、一方の第2導電型拡散層領域と、第1導電型半導体基板等との間のPN接合において、正孔又は電子の
- 25 うちの一方の発生が促進される効果が乏しくなる。これに対して、上記他方の第2導電型拡散層領域と、上記第1導電型半導体基板等との間のPN接合には、順方向電圧が印加される。したがって、比較的低い電圧で、上記一方の第2導電型拡散層領域と、上記第1導電型半導体基板等との間のPN接合において、この一方の第2導電型拡散層領域側に存する電荷保持部に注入すべきキャリアとしての

正孔又は電子のうちの他方が発生する。したがって、大きなメモリ効果を持ち、かつ、低電圧動作が可能な半導体記憶装置が提供される。

また、1実施の形態では、上記他方の第2導電型拡散層領域と、上記第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜との間の電圧差の絶対値は、0.7V以上であって1V以下であることを特徴としている。

上記実施の形態によれば、上記他方の第2導電型拡散層領域と、上記第1型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜との間のPN接合に流れる順方向電流が、上記一方の第2導電型拡散層領域と、上記第1導電型半導体基板、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜との間のPN接合において、キャリアとしての正孔又は電子が発生するのに十分な程度に得られる。また、上記順方向電流が、半導体記憶装置の消費電流を著しく増大させることがない。

また、1実施の形態では、上記ゲート電極のゲート長は、0.015 μ m以上であって0.5 μ m以下であることを特徴としている。

上記実施の形態によれば、一方の第2導電型拡散層領域と第1導電型半導体基板等との間のPN接合において、十分に正孔又は電子が発生し、上記電荷保持部に注入することができる。また、メモリ動作の基本となるトランジスタ動作が確保される。

また、1実施の形態では、上記電荷保持部は、第1の絶縁体、第2の絶縁体、第3の絶縁体からなり、上記電荷保持部は、電荷を蓄積する機能を有する上記第1の絶縁体からなる膜が、第2の絶縁体と第3の絶縁体とに挟まれた構造を有し、上記第1の絶縁体はシリコン窒化物であり、上記第2及び第3の絶縁体はシリコン酸化物であることを特徴としている。

上記実施の形態によれば、上記電荷を蓄積する機能を有する第1の絶縁体はシリコン窒化物であり、電荷（電子及び正孔）をトラップする準位が多数存在するため、大きなヒステリシス特性を得ることができる。また、第2及び第3の絶縁体はシリコン酸化物であるから、上記電荷保持部はいわゆるONO(Oxide

Nitride Oxide)膜構造になっているので、電荷の注入効率が高くなり、書換え動作を高速化できる。

また、1実施の形態では、上記チャネル領域上における上記第2の絶縁体からなる膜の厚さが、上記ゲート絶縁膜の厚さよりも薄く、かつ、0.8nm以上であることを特徴としている。

上記実施の形態によれば、電荷を蓄積する機能を有する上記第1の絶縁体からなる膜とチャネル領域とを隔てる上記第2の絶縁体からなる膜の膜厚が、上記ゲート絶縁膜の膜厚より薄く、かつ、0.8nm以上であるから、メモリの耐圧性能を低下させることなく書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、メモリ効果を増大することが可能となる。

また、1実施の形態では、上記チャネル領域上における上記第2の絶縁体からなる膜の厚さが、上記ゲート絶縁膜の厚さよりも厚く、かつ、20nm以下であることを特徴としている。

上記実施の形態によれば、電荷を蓄積する機能を有する上記第1の絶縁体からなる膜とチャネル領域とを隔てる上記第2の絶縁体からなる膜の膜厚が、上記ゲート絶縁膜の膜厚より厚く、かつ、20nm以下であるから、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

また、1実施の形態では、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜が、上記ゲート絶縁膜の表面と略平行な表面を有する部分を含むことを特徴としている。

上記実施の形態によれば、半導体記憶装置の電荷保持特性の悪化を防ぎながら書換え速度を高速にすることができる。

また、1実施の形態では、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜が、上記ゲート電極の側面と略並行に延びた部分を含むことを特徴としている。

上記実施の形態によれば、上記電荷を蓄積する機能を有する第1の絶縁体からなる膜が、ゲート電極側面と略平行に延びた部分を含むので、書換え動作時に上記電荷を蓄積する機能を有する第1の絶縁体からなる膜に注入される電荷量が増

大し、書換え速度が増大する。

また、1実施の形態では、上記電荷保持部の少なくとも一部が上記第2導電型拡散層領域の一部にオーバーラップするように形成されてなることを特徴としている。

- 5 上記実施の形態によれば、半導体記憶装置の読出し電流を大きくし、読出し電流のばらつきを抑えることができるので、半導体記憶装置の読出し動作を高速にすることができる。

図面の簡単な説明

- 10 図1は、本発明の第1実施の形態の半導体記憶装置の第1の例の要部の概略断面図である。

図2は、本発明の第1実施の形態の半導体記憶装置の第2の例の要部の概略断面図である。

- 15 図3は、本発明の第1実施の形態の半導体記憶装置の第3の例の要部の概略断面図である。

図4Aおよび図4Bは、本発明の半導体記憶装置の書込み動作を説明するための要部の概略断面図である。

図5は、本発明の半導体記憶装置の第1の消去動作を説明するための要部の概略断面図である。

- 20 図6は、本発明の半導体記憶装置の第2の消去動作を説明するための要部の概略断面図である。

図7Aおよび図7Bは、図6の切断面線A-A'における、電子に対するエネルギーダイヤグラムである。

- 25 図8は、本発明の半導体記憶装置の第2の消去方法における、ゲート長が変化した時の消去能力の変化を示すグラフである。

図9は、本発明の第2の実施の形態の半導体記憶装置の要部の概略断面図である。

図10は、図9の半導体記憶装置の要部の拡大概略断面図である。

図11は、図9の半導体記憶装置の変形例における要部の拡大概略断面図であ

る。

図 1 2 は、本発明の第 2 の実施の形態の半導体記憶装置の電気特性を示すグラフである。

5 図 1 3 は、本発明の第 2 の実施の形態の半導体記憶装置の変形例における要部の概略断面図である。

図 1 4 は、本発明の第 3 の実施の形態の半導体記憶装置の要部の概略断面図である。

図 1 5 は、本発明の第 4 の実施の形態の半導体記憶装置の要部の概略断面図である。

10 図 1 6 は、本発明の第 5 の実施の形態の半導体記憶装置の要部の概略断面図である。

図 1 7 は、本発明の第 6 の実施の形態の半導体記憶装置の要部の概略断面図である。

15 図 1 8 は、本発明の第 7 の実施の形態の半導体記憶装置の要部の概略断面図である。

図 1 9 は、本発明の第 8 の実施の形態の半導体記憶装置の要部の概略断面図である。

図 2 0 は、本発明の第 9 の実施の形態の半導体記憶装置の電気特性を示すグラフである。

20 図 2 1 は、従来のフラッシュメモリの電気特性を示すグラフである。

図 2 2 は、従来の半導体記憶装置を示す要部の概略断面図である。

発明を実施するための最良の形態

25 本発明の半導体記憶装置は、主として、ゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成された電荷保持部と、電荷保持部のゲート電極と反対側のそれぞれに配置されたソース／ドレイン領域（拡散層領域）と、ゲート電極下に配置されたチャネル領域とから構成される。

この半導体記憶装置は、1つの電荷保持部に2値又はそれ以上の情報を記憶することにより、4値又はそれ以上の情報を記憶するメモリ素子として機能する。

しかしながら、この半導体記憶装置は、必ずしも4値又はそれ以上の情報を記憶して機能させる必要はなく、例えば、2値の情報を記憶して機能させてもよい。

本発明の半導体記憶装置は、半導体基板上、好ましくは半導体基板内に形成された第1導電型のウェル領域上に形成されることが好ましい。

5 半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs、ZnSe等の化合物半導体による基板、SOI基板又は多層SOI基板等の種々の基板、ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面半導体層としてシリコン層が形成され
10 たSOI基板が好ましい。半導体基板又は半導体層は、内部を流れる電流量に多少が生ずるが、単結晶（例えば、エピタキシャル成長による単結晶）、多結晶又はアモルファスのいずれであってもよい。

この半導体基板上又は半導体層上には、素子分離領域が形成されていることが好ましく、更にトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、
15 半導体装置や層間絶縁膜が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS膜、トレンチ酸化膜、STI膜等種々の素子分離膜により形成することができる。半導体基板は、P型又はN型の導電型を有していてもよく、半導体基板には、少なくとも1つの第1導電型（P型又はN型）のウェル領域が形成されていることが好ましい。半
20 導体基板及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体基板としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャネル領域下にボディ領域を有していてもよい。

ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定される
25 ものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20nm程度、好ましくは1～6nm程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ

形成されていてもよいし、ゲート電極よりも大きく（幅広）で形成されていてもよい。

ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状で形成されている。ゲート電極は、実施の形態のなかで特に指定がない限り、特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400nm程度の膜厚で形成することが適当である。なお、ゲート電極の下には、チャンネル領域が形成されるが、チャンネル領域は、ゲート電極下のみならず、ゲート電極とゲート長方向におけるゲート端の外側を含む領域下に形成されていることが好ましい。このように、ゲート電極で覆われていないチャンネル領域が存在する場合には、そのチャンネル領域は、ゲート絶縁膜又は後述する電荷保持部で覆われていることが好ましい。

電荷保持部は、少なくとも、電荷を保持するか、電荷を蓄え、保持する機能を有するか、電荷をトラップする機能を有する膜又は領域を含んで構成される。これらの機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキシド、ジルコニウムオキシド、タンタルオキシド等の高誘電体；酸化亜鉛；金属等が挙げられる。電荷保持部は、例えば、シリコン窒化膜を含む絶縁体膜；導電膜もしくは半導体層を内部に含む絶縁体膜；導電体もしくは半導体ドットを1つ以上含む絶縁体膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LSIプロセスではごく標準的に用いられる材料であるため、好ましい。

シリコン窒化膜などの電荷保持機能を有する絶縁膜を内部に含む絶縁膜を電荷保持部として用いることにより、記憶保持に関する信頼性を高めることができる。シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。更には、複

数のメモリ素子（半導体記憶装置）を配列する場合、メモリ素子間の距離が縮まって隣接する電荷保持部が接触しても、電荷保持部が導電体からなる場合のように夫々の電荷保持部に記憶された情報が失われることがない。また、コンタクトプラグをより電荷保持部と接近して配置することができ、場合によっては電荷保持部と重なるように配置することができるので、メモリ素子の微細化が容易となる。

さらに記憶保持に関する信頼性を高めるためには、電荷を保持する機能を有する絶縁膜は、必ずしも膜状である必要はなく、電荷を保持する機能を有する絶縁体が絶縁膜に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に分散していることが好ましい。

また、導電膜もしくは半導体層を内部に含む絶縁体膜を電荷保持部として用いることにより、導電体もしくは半導体中への電荷の注入量を自由に制御できるため、多値化しやすい効果がある。

さらに、導電体もしくは半導体ドットを1つ以上含む絶縁体膜を電荷保持部として用いることにより、電荷の直接トンネリングによる書込・消去が行ないやすくなり、低消費電力化の効果がある。

つまり、電荷保持部は、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜をさらに含むことが好ましい。電荷を逃げにくくする機能を果たすものとしては、シリコン酸化膜等が挙げられる。

電荷保持部は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜又は絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全てを覆うように形成されていてもよいし、一部を覆うように形成されてもよい。電荷保持膜として導電膜を用いる場合には、電荷保持膜が半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

電荷保持部は、電荷を蓄積する第1の絶縁体からなる膜が、第2の絶縁体からなる膜と第3の絶縁体からなる膜とで挟まれたサンドウィッチ構造を有するのが好ましい。電荷を蓄積する第1の絶縁体が膜状であるから、電荷の注入により短い時間で第1の絶縁体内の電荷密度を上げ、また、電荷密度を均一にすることができる。電荷を蓄積する第1の絶縁体内の電荷分布が不均一であった場合、保持中に第1の絶縁体内を電荷が移動してメモリ素子の信頼性が低下する恐れがある。また、電荷を蓄積する第1の絶縁体は、導電体部（ゲート電極、拡散層領域、半導体基板）とは他の絶縁膜で隔てられているので、電荷の漏れが抑制されて十分な保持時間を得ることができる。したがって、上記サンドウィッチ構造を有する場合、半導体記憶装置の高速書換え、信頼性の向上、十分な保持時間の確保が可能となる。上記条件を満たす電荷保持部としては、上記第1の絶縁体をシリコン窒化膜とし、第2及び第3の絶縁体をシリコン酸化膜とするのが特に好ましい。シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができる。また、シリコン酸化膜及びシリコン窒化膜は共にLSIプロセスでごく標準的に用いられる材料であるため、好ましい。また、第1の絶縁体として、窒化シリコンのほかに、酸化ハフニウム、タンタルオキシサイド、イットリウムオキシサイドなどを用いることができる。更には、第2及び第3の絶縁体として、酸化シリコンのほかに、酸化アルミニウムなどを用いることができる。なお、上記第2及び第3の絶縁体は、異なる物質であってもよいし同一の物質であってもよい。

電荷保持部は、ゲート電極の両側に形成されており、また、半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。

電荷保持部に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の両側に形成されており、また、直接、ゲート絶縁膜又は絶縁膜を介して半導体基板（ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散層領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全て又は一部を覆うように形成されていることが好ましい。応用例としては、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介

して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよい。

ゲート電極は、電荷保持部の側壁のみに形成されるか、あるいは電荷保持部の上部を覆わないことが好ましい。このような配置により、コンタクトプラグをよりゲート電極と接近して配置することができるので、メモリ素子の微細化が容易となる。また、このような単純な配置を有するメモリ素子は製造が容易であり、歩留まりを向上することができる。

ソース／ドレイン領域は、半導体基板又はウェル領域と逆導電型の拡散層領域として、電荷保持部のゲート電極と反対側のそれぞれに配置されている。ソース／ドレイン領域と半導体基板又はウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。ソース／ドレイン領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、ソース／ドレイン領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

ソース／ドレイン領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したとき、電荷保持膜下のオフセット領域の反転しやすさが、電荷保持部に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、ソース・ドレイン間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量つまり、ゲート長方向における一方のゲート電極端から近い方のソース・ドレイン領域までの距離は短い方が好ましい。特に重要なことは、電荷保持部中の電荷蓄積領域の少なくとも一部が、拡散層領域であるソース／ドレイン領域の一部とオーバーラップしていることである。本発明の半導体記憶装置を構成するメモリ素子の本質は、電荷保持部の側壁部にのみ存在するゲート電極とソース／ドレイン領域間の電圧差により電荷保持部を横切る

電界によって記憶を書き換えることであるためである。

ソース／ドレイン領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成されたソース／ドレイン領域上に、このソース／ドレイン領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体基板に比べて非常に大きいために、半導体基板内におけるソース／ドレイン領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、このソース／ドレイン領域の一部は、ゲート電極とともに、電荷保持膜の少なくとも一部を挟持するように配置することが好ましい。

本発明の半導体記憶装置は、ゲート絶縁膜上に形成された単一のゲート電極、ソース領域、ドレイン領域及び半導体基板を4個の端子として、この4個の端子のそれぞれに所定の電位を与えることにより、書込み、消去、読出しの各動作を行なう。具体的な動作原理及び動作電圧の例は、後述する。本発明の半導体記憶装置をアレイ状に配置してメモリセルアレイを構成した場合、単一の制御ゲートで各メモリセルを制御できるので、ワード線の本数を少なくすることができる。

本発明の半導体記憶装置は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、絶縁膜（第2の絶縁体）／電荷蓄積膜（第1の絶縁体）／絶縁膜（第2の絶縁体）の積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法が挙げられる。このほか、所望の電荷保持部の構造に応じて、適宜サイドウォール形成時の条件や堆積物を選択すればよい。

本発明の半導体記憶装置は、電池駆動の携帯電子機器、特に携帯情報端末に用いることができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機器等が挙げられる。

以下に、本発明の半導体記憶装置について、図面に基づいて詳細に説明する。

(第1実施の形態)

本実施の形態の半導体記憶装置を構成するメモリ素子の構造を、図1～図3を用いて説明する。図1～図3は、メモリ素子の概略断面図であり、それぞれサイドウォールスペーサ形状の電荷保持部の構造が異なっている。

5 本実施の形態の半導体記憶装置を構成するメモリ素子は、2ビットの記憶が可能な不揮発性メモリセルである。このメモリセルは、図1～図3に示すように、第1導電型の半導体基板11上に、ゲート絶縁膜12を介して、通常のトランジスタと同程度のゲート長を有するゲート電極13が形成されており、ゲート絶縁膜12及びゲート電極13の側壁に、サイドウォールスペーサ形状の電荷保持部
10 61, 62が形成されて構成されている。また、電荷保持部61, 62のゲート電極13と反対の側には、それぞれ第2導電型の第1の拡散層領域17及び第2の拡散層領域18（ソース／ドレイン領域）が形成されており、このソース／ドレイン領域17, 18は、ゲート電極13端部に対して（ゲート電極13が形成された領域41から）オフセットされている。

15 このように、メモリトランジスタの電荷保持部は、ゲート絶縁膜とは独立して形成されている。したがって、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されている。また、ゲート電極の両側に形成された2つの電荷保持部はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。したがって、このメモリトランジスタは、2ビットの記憶
20 が可能で、かつ微細化が容易である。

また、ソース／ドレイン領域17, 18がゲート電極13からオフセットされていることにより、ゲート電極13に電圧を印加したとき、電荷保持部下のオフセット領域42の反転しやすさを、電荷保持部に蓄積された電荷量によって大きく変化させることができ、メモリ効果を増大させることが可能となる。更に、通常
25 のロジックトランジスタと比較して、短チャネル効果を強力に防止することができ、より一層のゲート長の微細化を図ることができる。また、構造的に短チャネル効果抑制に適しているため、ロジックトランジスタと比較して膜厚の厚いゲート絶縁膜を採用することができ、信頼性を向上させることが可能となる。

サイドウォールスペーサ形状の電荷保持部は、例えば図1のように、サイドウ

オール形状をしたシリコン窒化膜 2 1 と、このシリコン窒化膜 2 1 とゲート電極 1 3、半導体基板 1 1 及びソース／ドレイン領域 1 7、1 8 とを隔てるシリコン酸化膜 1 4 とからなる構造にすることができる。電荷（電子又は正孔）を蓄積する機能を有するのはシリコン窒化膜 2 1 であり、シリコン酸化膜 1 4 はシリコン窒化膜 2 1 に蓄積された電荷の漏れを防いでいる。

電荷保持部の他の例は、図 2 に示すように、サイドウォール形状をした導電体膜 2 2 と、この導電体膜 2 2 と、ゲート電極 1 3、半導体基板 1 1 及びソース／ドレイン領域 1 7、1 8 とを隔てるシリコン酸化膜 1 4 とからなっている。電荷を蓄積する機能を有するのは導電体膜 2 2 であり、シリコン酸化膜 1 4 は導電体膜 2 2 に蓄積された電荷の漏れを防いでいる。

電荷保持部は、更に、図 3 に示す構造を有していてもよい。サイドウォールスペーサ形状の電荷保持部は、シリコン窒化膜 1 5 がシリコン酸化膜 1 4、1 6 で挟まれた構造を有している。シリコン窒化膜 1 5 は、電荷（電子又は正孔）をトラップして蓄積する機能を有している。主として電荷を蓄積するのは、シリコン窒化膜 1 5 のうち、オフセット領域 4 2 上に存する部分である。このように、電荷保持部はシリコン窒化膜 1 5 がシリコン酸化膜 1 4、1 6 によって挟まれた構造を有するため、電荷保持部への電荷注入効率が上がり、書換え動作（書込み及び消去動作）の高速化が実現する。

電荷保持部の構造は、上記 3 つの例（図 1 ～図 3）に限らず、例えば、電荷保持部に電荷を蓄積する機能を有する量子ドットが含まれているものでもよい。また、電荷保持部の形状はサイドウォール形状を有している必要はなく、ゲート電極の両側にあつて、その一部が半導体基板 1 1 及びソース／ドレイン領域 1 7、1 8 に接していればよい。

次に、このメモリ素子の動作原理について、図 4 ～図 8 を用いて説明する。なお、図 4 ～図 6 は、図 3 に示した電荷保持部を持つメモリ素子の場合を示しているが、その他の形状の電荷保持部を持つメモリ素子にも適用することができる。

まず、このメモリ素子の書込み動作について、図 4 を用いて説明する。なお、書込みとは、メモリ素子が N チャネル型るとき、電荷保持部に電子を注入することを指し、メモリ素子が P チャネル型るとき、電荷保持部に正孔を注入すること

を指すこととする。なお、メモリ素子がNチャネル型の時は、第1導電型の半導体基板11はP型であると共に、第2導電型の拡散層領域17、18はN型であり、メモリ素子がPチャネル型のときは、各々の導電型が逆となる。以下の説明（読出し方法及び消去方法に関する説明も含む）では、メモリ素子がNチャネル型の場合を説明するが、Pチャネル型の場合は電子と正孔の役割を逆にすればよい。また、Pチャネル型の場合は各ノードに印加する電圧の符号を全て反対にすればよい。このメモリの書込み動作は、ドレイン電界により加速されたホットエレクトロン（熱電子）を電荷保持部に注入することにより行なう。

第2の電荷保持部62に電子を注入する（書込む）ためには、図4Aに示すように、第1の拡散層領域17をソース電極に、第2の拡散層領域18をドレイン電極とする。例えば、第1の拡散層領域17及び半導体基板11に0V、第2の拡散層領域18に+5V、ゲート電極13に+4Vを印加すればよい。このような電圧条件によれば、反転層31が、第1の拡散層領域17（ソース電極）から伸びるが、第2の拡散層領域18（ドレイン電極）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散層領域18（ドレイン電極）まで高電界により加速され、いわゆるホットエレクトロン（高エネルギーの伝導電子）となる。このホットエレクトロンが第2の電荷保持部62（より正確にはシリコン窒化膜15）に注入されることにより書込みが行なわれる。なお、第1の電荷保持部61近傍では、ホットエレクトロンが発生しないため、書込みは行なわれない。このようにして、第2の電荷保持部62に電子を注入して、書込みを行なうことができる。

一方、第1の電荷保持部61に電子を注入する（書込む）ためには、図4Bに示すように、第2の拡散層領域18をソース電極に、第1の拡散層領域17をドレイン電極とする。例えば、第2の拡散層領域18及び半導体基板11に0V、第1の拡散層領域17に+5V、ゲート電極13に+4Vを印加すればよい。このように、第2の電荷保持部62に電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、第1の電荷保持部61に電子を注入して、書込みを行なうことができる。

次に、上記メモリ素子の読み出し動作原理を説明する（図示せず）。

第1の電荷保持部61に記憶された情報を読み出す場合、第1の拡散層領域17をソース電極に、第2の拡散層領域18をドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第1の拡散層領域17及び半導体基板11に0V、第2の拡散層領域18に+2V、ゲート電極13に+1Vを印加すればよい。この際、第1の電荷保持部61に電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第1の電荷保持部61に電子が蓄積している場合は、第1の電荷保持部61近傍で反転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより、第1の電荷保持部61の記憶情報を読み出すことができる。このとき、第2の電荷保持部62における電荷蓄積の有無は、ドレイン近傍がピンチオフしているため、ドレイン電流に影響を与えない。

第2の電荷保持部62に記憶された情報を読み出す場合、第2の拡散層領域18をソース電極に、第1の拡散層領域17をドレイン電極とし、トランジスタを飽和領域動作させる。例えば、第2の拡散層領域18及び半導体基板11に0V、第1の拡散層領域17に+2V、ゲート電極13に+1Vを印加すればよい。このように、第1の電荷保持部61に記憶された情報を読み出す場合とは、ソース／ドレイン領域を入れ替えることにより、第2の電荷保持部62に記憶された情報の読出しを行なうことができる。

なお、ゲート電極13で覆われないチャネル領域（オフセット領域41、42）が残されている場合、ゲート電極13で覆われないチャネル領域においては、電荷保持部61、62の余剰電子の有無によって反転層が消失又は形成され、その結果、大きなヒステリシス（閾値の変化）が得られる。ただし、オフセット領域42の幅があまり大きいと、ドレイン電流が大きく減少し、読出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読出し速度が得られるように、オフセット領域42の幅を決定することが好ましい。

拡散層領域17、18がゲート電極13端に達している場合、つまり、拡散層領域17、18とゲート電極13とがオーバーラップしている場合であっても、書込み動作によりトランジスタの閾値はほとんど変わらなかったが、ソース／ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）

した。したがって、ドレイン電流の検出により読出しが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、拡散層領域 17, 18 とゲート電極 13 とがオーバーラップしていない（オフセット領域 42 が存在する）ほうが好ましい。

5 次に、上記半導体記憶装置の第 1 の消去方法を図 5 で説明する。

第 2 の電荷保持部 62 に記憶された情報を消去する場合、一方の第 2 導電型拡散層領域としての第 2 の拡散層領域 18 に、正電圧（例えば、+5 V）を印加すると共に、半導体基板 11 に 0 V を印加して、上記第 2 の拡散層領域 18 と半導体基板 11 との間の PN 接合に逆バイアスをかけ、更に、ゲート電極 13 に負電
10 圧（例えば、-5 V）を印加する。このとき、上記 PN 接合のうちゲート電極 13 付近では、負電圧が印加されたゲート電極の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルにより PN 接合の半導体基板 11 側に正孔（ホール）が発生する。この正孔が負の電位をもつゲート電極 13 方向
15 に引きこまれ、その結果、第 2 の電荷保持部 62 に正孔が注入される。このようにして、第 2 の電荷保持部 62 の消去が行なわれる。このとき、他方の第 2 導電型拡散層領域としての第 1 の拡散層領域 17 は、0 V を印加するか、又は、オープン状態にすればよい。

上記消去方法において、第 1 の電荷保持部 61 に記憶された情報を消去する場合は、上記において第 1 の拡散層領域と第 2 の拡散層領域の電位を入れ替えれば
20 よい。

次に、上記半導体記憶装置の第 2 の消去方法を図 6 及び図 7 で説明する。

第 2 の電荷保持部 62 に記憶された情報を消去する場合、図 6 に示すように、一方の第 2 導電型拡散層領域としての第 2 の拡散層領域 18 に正電圧（例えば、+4 V）、他方の第 2 導電型拡散層領域としての第 1 の拡散層領域 17 に 0 V、
25 ゲート電極 13 に負電圧（例えば、-4 V）、半導体基板 11 に正電圧（例えば、+0.8 V）を、各々印加すればよい。すなわち、他方の N 型拡散層領域（第 1 の拡散層領域 17）を基準電圧とし、一方の N 型拡散層領域（第 2 の拡散層領域 18）を基準電圧より高い電圧とし、ゲート電極 13 を基準電圧より低い電圧とし、第 1 導電型としての P 型の半導体基板（半導体基板 11）を、上記基準電圧

より高い電圧とする。なお、各ノードに印加する電圧は相対的なものであるから、半導体基板 11 を基準電圧 (0 V) とすれば、上記条件は、第 2 の拡散層領域 18 が +3.2 V、第 1 の拡散層領域 17 が -0.8 V、ゲート電極 13 が -4.8 V である場合と等価である。すなわち、第 1 導電型半導体基板 (P 型半導体基板 11) を基準電圧とし、他方の第 2 導電型拡散層領域 (第 1 の N 型拡散層領域 17) を基準電圧よりも低い電圧とし、一方の第 2 導電型拡散層領域 (第 2 の N 型拡散層領域 18) を基準電圧よりも高い電圧とし、ゲート電極 13 を基準電圧よりも低い電圧とする。

なお、本実施の形態の半導体記憶装置をセルアレイ状に配置する場合は、各メモリ素子の P 型半導体基板を共通とし (すなわち、1 個の半導体基板上にメモリセルアレイを形成するか、もしくは、半導体基板中に共通の P 型ウェル領域を形成してその上にメモリセルアレイを形成する)、P 型半導体基板の電位を固定して動作させるのが好ましい。なぜなら、共通の P 型半導体基板は非常に大きな面積の PN 接合を有しているから、P 型半導体基板の電位を変動させると PN 接合に纏わる容量を充電するために大きな電流が流れるからである。

図 7 A および図 7 B は、図 6 における切断面線 A-A' における、電子に対するエネルギーダイアグラム (エネルギーバンド図) を示している。図 7 A は、半導体基板 11 に第 1 の拡散層領域 17 と同じ 0 V を印加したとき (他のノードの電位は図 6 と同じ) を表し、図 7 B は、半導体基板 11 に +0.8 V を印加したとき (すなわち図 6 に示した条件と同じ) を、それぞれ表している。図 7 A, B 中、 E_c は伝導電子帯端を、 E_v は価電子帯端をそれぞれ表しており、 E_c と E_v の間はバンドギャップとなっている。

図 7 A の場合は、電圧の絶対値は異なるものの、本質的に第 1 の消去方法と同じである。この場合、半導体基板 11 と第 2 の拡散層領域 18 との間には、バンド間トンネルが起きるに足る電位差を与えなければならない。第 2 の消去方法は、半導体基板 11 と第 2 の拡散層領域 18 との間の電位差が、バンド間トンネルが起きるに足らない場合であっても、正孔を発生させて消去動作を行なうものである。第 2 の消去方法における最も重要な点は、第 1 の拡散層領域 17 と半導体基板 11 との間の PN 接合に、順方向電圧を印加することである。図 7 B に示すよ

うに、上記順方向電圧を印加すると、半導体基板 11 のポテンシャルは、点線から実線へと低下する。そのため、第 1 の拡散層領域 17 から半導体基板 11 へ電子が注入される（電子 51）。半導体基板へ注入された電子 51 は、第 2 の拡散層領域 18 と半導体基板 11 との間の PN 接合に達して電界により加速され、散乱によりエネルギーを失う（電子 52）。このとき失われたエネルギーは、価電子帯の電子が受け取り、電子 53 と正孔 54 との対を発生させる。かくして第 2 の拡散層領域 18 と半導体基板 11 との間の PN 接合において正孔が発生し、更に第 2 の電荷保持部 62 に注入されて消去が行われる。

上記第 2 の消去方法によれば、第 2 の拡散層領域 18 と半導体基板 11 に印加する逆方向バイアスが比較的小さい場合であっても正孔を発生させ、消去動作が可能となる。それゆえ、メモリ素子の動作電圧を低くすることが可能となる。したがって、低消費電力化、メモリ素子劣化の抑制を実現することができる。特に、オフセット領域 42 が存在する場合は、負の電位が印加されたゲート電極により PN 接合のポテンシャルが急峻となる効果が少ない。そのため、バンド間トンネルによる正孔の発生が難しいのであるが、第 2 の消去方法はその欠点を補い、低電圧で消去動作を実現することができる。それゆえ、オフセット領域 42 を設けることによりメモリ効果が増大する本発明のメモリ装置においては、第 2 の消去方法は特に好ましいのである。

第 1 の拡散層領域 17 と半導体基板 11 との間に印加する順方向バイアスは、0.7 V 以上の時に消去が行われ、0.7 V 未満では全く消去が行われなかった。また、上記順方向バイアスが 1 V を越えると順方向電流が増大して、消去動作時の消費電流が著しく増大してしまった。したがって、上記順方向バイアスは、0.7 V 以上であって、1 V 以下であるのが好ましい。

上記第 2 の消去方法において、第 1 の電荷保持部 61 に記憶された情報を消去する場合は、上記第 1 の拡散層領域の電位と、第 2 の拡散層領域の電位とを入れ替えればよい。

図 8 は、上記第 2 の消去方法において、ゲート長が変化した時の消去能力の変化を示す図である。図 8 を作成するための実験では、メモリ素子に書込み動作を行なった後にメモリ素子の閾値を測定し、続いて上記第 2 の消去方法で消去動作

を行なった後に再び閾値を測定した。書込み動作を行なう前の閾値の初期値は約 0.4 Vであった。書込み動作を行なった後は、ゲート長に関わらずほぼ一定の閾値 (0.85 V) まで閾値が上昇した。一方、消去動作を行なった後は、ゲート長が 0.5 μm 以下ではほぼ一定の閾値 (0.4 V) まで閾値が低下したが、
5 0.6 μm 以上ではゲート長の増大にしたがって急速に消去能力が低下していくことが分かった。このような現象が起きる原因は、以下のように考えられる。図 7Bにおいて、第1の拡散層領域17から半導体基板11中に注入された電子51は、ゲート長 (チャネル長) が十分に短い場合には、第2の拡散層領域18と半導体基板11とのPN接合に達することができる。しかし、ゲート長 (チャネル長) が長い場合には、電子51は再結合などによって失われ、もしくは負電位
10 を持つゲート電極から反発力を受け、上記PN接合に達する数が著しく減少する。そのため、図8に示すような特性が得られたものと考えられる。これより、このメモリ素子のゲート長は0.5 μm 以下であることが好ましい。このメモリ素子は、既に述べたように特に微細化に適しているのであるが、ゲート長が0.01
15 5 μm 以下となると、もはやトランジスタ動作自体が困難なものとなる。以上のことを総合して、このメモリ素子のゲート長は0.015 μm 以上であって、0.5 μm 以下であることが好ましい。

上記動作方法では、ソース電極とドレイン電極を入れ替えることによって1トランジスタ当たり2ビットの書込み及び消去をさせているが、ソース電極とドレイン電極を固定して1ビットメモリとして動作させてもよい。この場合ソース/ド
20 レイン領域の一方を共通固定電圧とすることが可能となり、ソース/ドレイン領域に接続されるビット線の本数を半減できる。

なお、上記動作方法は本実施の形態の半導体記憶装置に限らず、他の実施の形態の半導体記憶装置についても適用することができる。

25 本実施の形態の半導体記憶装置によれば、メモリトランジスタの電荷保持部は、ゲート絶縁膜とは独立して形成され、ゲート電極の両側に形成されている。そのため、2ビット動作が可能である。更には、各電荷保持部はゲート電極により分離されているので書換え時の干渉が効果的に抑制される。また、電荷保持部が担うメモリ機能と、ゲート絶縁膜が担うトランジスタ動作機能とは分離されている

ので、ゲート絶縁膜厚を薄膜化して短チャネル効果を抑制することができる。したがって素子の微細化が容易となる。

また、この半導体記憶装置の第2の消去方法によれば、比較的低い電圧で正孔を発生させて消去動作を行なうことが可能となる。それゆえ、メモリ素子の動作電圧を低くすることが可能となる。したがって、低消費電力化、メモリ素子劣化の抑制を実現することができる。更には、上記第2の消去方法は、拡散層領域をゲート電極に対してオフセットすることによりメモリ効果が増大する本発明のメモリ装置においては、消去動作電圧を低減する効果が特に大きい。

(第2実施の形態)

この実施の形態の半導体記憶装置は、図9に示すように、電荷保持部161、162が、電荷を保持する領域（電荷を蓄える領域であって、電荷を保持する機能を有する膜であつてもよい）と、電荷を逃げにくくする領域（電荷を逃げにくくする機能を有する膜であつてもよい）とから構成される。例えば、ONO構造を有している。すなわち、第1の絶縁体としてのシリコン窒化物からなる膜142が、第2の絶縁体としてのシリコン酸化物からなる膜141と、第3の絶縁体としてのシリコン酸化物からなる膜143との間に挟まれて、電荷保持部161、162を構成している。ここで、シリコン窒化膜142は、電荷を蓄積して保持する機能を果たす。また、シリコン酸化膜141、143はシリコン窒化膜中に蓄えられた電荷を逃げにくくする機能を果たす。

また、上記電荷保持部161、162における電荷を保持する領域（シリコン窒化膜142）は、拡散層領域112、113とそれぞれオーバーラップしている。ここで、オーバーラップするとは、拡散層領域112、113の少なくとも一部の領域上に、電荷を保持する領域（シリコン窒化膜142）の少なくとも一部が存在することを意味する。なお、111は半導体基板、114はゲート絶縁膜、117はゲート電極、171は（ゲート電極と拡散層領域との）オフセット領域である。図示しないが、ゲート絶縁膜114下であって半導体基板111の最表面部はチャネル領域となる。

電荷保持部161、162における電荷を保持する領域142と拡散層領域112、113とがオーバーラップすることによる効果を説明する。

図10は、図9の右側の電荷保持部162周辺部の拡大図である。W1はゲート電極114と拡散層領域113とのオフセット量を示す。また、W2はゲート電極のチャネル長方向の切断面における電荷保持部162の幅を示しているが、電荷保持部162のうちシリコン窒化膜142のゲート電極117と離れた側の端が、ゲート電極117から離れた側の電荷保持部162の端と一致しているため、電荷保持部162の幅をW2として定義した。電荷保持部162と拡散層領域113とのオーバーラップ量は $W2 - W1$ で表される。特に重要なことは、電荷保持部162のうちシリコン窒化膜142が、拡散層領域113とオーバーラップする、つまり、 $W2 > W1$ なる関係を満たすことである。

なお、図11に示すように、電荷保持部162aのうちシリコン窒化膜142aのゲート電極と離れた側の端が、ゲート電極から離れた側の電荷保持部162aの端と一致していない場合は、W2をゲート電極端からシリコン窒化膜142aのゲート電極と遠い側の端までと定義すればよい。

図12は、図10の構造において、電荷保持部162の幅W2を100nmに固定し、オフセット量W1を変化させたときのドレイン電流 I_d を示している。ここで、ドレイン電流は、電荷保持部162を消去状態（正孔が蓄積されている）とし、拡散層領域112、113をそれぞれソース電極、ドレイン電極として、デバイスシミュレーションにより求めた。

図12から明らかなように、W1が100nm以上（すなわち、シリコン窒化膜142と拡散層領域113とがオーバーラップしない）では、ドレイン電流が急速に減少している。ドレイン電流値は、読出し動作速度にほぼ比例するので、W1が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜142と拡散層領域113とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、電荷を保持する機能を有する膜であるシリコン窒化膜142の少なくとも一部とソース／ドレイン領域とがオーバーラップすることが好ましい。

上述したデバイスシミュレーションの結果を踏まえて、W2を100nm固定とし、W1を設計値として60nm及び100nmとして、メモリセルアレイを作製した。W1が60nmの場合、シリコン窒化膜142と拡散層領域112、

1 1 3とは設計値として40nmオーバーラップし、W1が100nmの場合、設計値としてオーバーラップしない。これらのメモリセルアレイの読出し時間を測定した結果、ばらつきを考慮したワーストケースで比較して、W1を設計値として60nmとした場合の方が、読出しアクセス時間で100倍高速であった。

- 5 実用上、読み出しアクセス時間は1ビットあたり100ナノ秒以下であることが好ましいが、 $W1=W2$ では、この条件を到底達成できないことが分かった。また、製造ばらつきまで考慮した場合、 $W2-W1>10nm$ であることがより好ましいことが判明した。

- 10 図9乃至11の半導体記憶装置において、電荷保持部161（領域181）に記憶された情報の読み出しは、実施の形態1と同様に、拡散層領域112をソース電極とし、拡散層領域113をドレイン領域としてチャネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、2つの電荷保持部のうち一方に記憶された情報を読み出す時に、ピンチオフ点をチャネル領域内であって、他方の電荷保持部に近い領域に形成させるのが好ましい。これにより、電荷保持部162の記憶状況の如何にかかわらず、電荷保持部161の記憶情報を感度よく検出することができ、2ビット動作を可能にする大きな要因となる。

- 15 一方、2つの電荷保持部161、162のうちの片側のみに情報を記憶させる場合又は2つの電荷保持部161、162を同じ記憶状態にして使用する場合には、読出し時に必ずしもピンチオフ点を形成しなくてもよい。

- 20 なお、図9には図示していないが、半導体基板111の表面にウェル領域（Nチャネル素子の場合はP型ウェル）を形成することが好ましい。ウェル領域を形成することにより、チャネル領域の不純物濃度をメモリ動作（書換え動作及び読出し動作）に最適にしつつ、その他の電気特性（耐圧、接合容量、短チャネル効果）を制御するのが容易になる。

25 電荷保持部は、メモリの保持特性を向上させる観点から、電荷を保持する機能を有する電荷保持膜と絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜142、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜1

4 1、1 4 3を用いている。電荷保持部が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。さらに、電荷保持部が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができる。電荷保持膜の体積を適度に小さくすることにより電荷保持膜内
5 での電荷の移動を制限し、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

また、電荷保持部は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むこと、言い換えると、電荷保持部における電荷保持膜の上面が、ゲート絶縁膜
10 上面から等しい距離に位置するように配置されることが好ましい。具体的には、図13に示すように、電荷保持部162の電荷保持膜142aが、ゲート絶縁膜114表面と略平行な面を有している。言い換えると、電荷保持膜142aは、ゲート絶縁膜114表面に対応する高さから、均一な高さに形成されることが好ましい。電荷保持部162中に、ゲート絶縁膜114表面と略平行な電荷保持膜
15 142aがあることにより、電荷保持膜142aに蓄積された電荷の多寡によりオフセット領域171での反転層の形成されやすさを効果的に制御することができる。また、電荷保持膜142aをゲート絶縁膜114の表面と略平行とすることにより、オフセット量(W1)がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、電荷保持膜142a上部方向
20 への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

さらに、電荷保持部162は、ゲート絶縁膜114の表面と略平行な電荷保持膜142aとチャネル領域（又はウェル領域）とを隔てる絶縁膜（例えば、シリ
コン酸化膜144のうちオフセット領域171上の部分）を含むことが好ましい。
25 この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性の良い半導体記憶装置を得ることができる。

なお、電荷保持膜142aの膜厚を制御すると共に、電荷保持膜142a下の絶縁膜（シリコン酸化膜144のうちオフセット領域171上の部分）の膜厚を一定に制御することにより、半導体基板表面から電荷保持膜中に蓄えられる電荷

までの距離を概ね一定に保つことが可能となる。つまり、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を、電荷保持膜 1 4 2 a 下の絶縁膜の最小膜厚値から、電荷保持膜 1 4 2 a 下の絶縁膜の最大膜厚値と電荷保持膜 1 4 2 a の最大膜厚値との和までの間に制御することができる。これにより、電荷保持膜 1 4 2 a に蓄えられた電荷により発生する電気力線の密度を概ね制御することが可能となり、メモリ素子のメモリ効果の大きさばらつきを非常に小さくすることが可能となる。

(第 3 実施の形態)

この実施の形態は、電荷保持部 1 6 2 において、第 1 の絶縁体からなる膜としての電荷保持膜 1 4 2 が、図 1 4 に示すように、略均一な膜厚を有する。さらに、この電荷保持膜 1 4 2 は、ゲート絶縁膜 1 1 4 の表面と略平行な表面を有する部分としての第 1 部 1 8 1 と、ゲート電極 1 1 7 側面と略平行に延びた部分としての第 2 部 1 8 2 とを有している。

ゲート電極 1 1 7 に正電圧が印加された場合には、電荷保持部 1 6 2 中での電気力線は、矢印 1 8 3 で示すように、シリコン窒化膜 1 4 2 を、上記第 1 部 1 8 1 と第 2 部 1 8 2 とで 2 回通過する。なお、ゲート電極 1 1 7 に負電圧が印加された時は電気力線の向きは反対側となる。ここで、シリコン窒化膜 1 4 2 の比誘電率は約 6 であり、シリコン酸化膜 1 4 1、1 4 3 の比誘電率は約 4 である。したがって、電荷保持膜 1 4 2 が第 1 部 1 8 1 のみを有する場合よりも、電気力線 1 8 3 方向における電荷保持部 1 6 2 の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極 1 1 7 に印加された電圧の多くの部分が、オフセット領域 1 7 1 における電界を強くするために使われることになる。

書換え動作時に電荷がシリコン窒化膜 1 4 2 に注入されるのは、発生した電荷がオフセット領域 1 7 1 における電界により引き込まれるためである。したがって、電荷保持膜 1 4 2 が第 2 部 1 8 2 を含むことにより、書換え動作時に電荷保持部 1 6 2 に注入される電荷が増加し、書換え速度が増大する。

なお、シリコン酸化膜 1 4 3 の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜 1 1 4 の表面に対応する高さに対して均一でない場合、

シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

5 さらに、電荷保持部は、ゲート絶縁膜表面と略平行な電荷保持膜とチャネル領域（又はウェル領域）とを隔てる絶縁膜（シリコン酸化膜 1 4 1 のうちオフセット領域 1 7 1 上の部分）をさらに含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性を向上させることができる。

10 また、電荷保持部は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電荷保持膜とを隔てる絶縁膜（シリコン酸化膜 1 4 1 のうちゲート電極 1 1 7 に接した部分）をさらに含むことが好ましい。この絶縁膜により、ゲート電極から電荷保持膜へ電荷が注入されて電気的特性が変化することを防止し、半導体記憶装置の信頼性を向上させることができる。

15 さらに、第 2 実施の形態と同様に、電荷保持膜 1 4 2 の下側の絶縁膜（シリコン酸化膜 1 4 1 のうちオフセット領域 1 7 1 上の部分）の膜厚を一定に制御すること、さらにゲート電極側面上に配置する絶縁膜（シリコン酸化膜 1 4 1 のうちゲート電極 1 1 7 に接した部分）の膜厚を一定に制御することが好ましい。これにより、電荷保持膜 1 4 2 に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することができる。

20 （第 4 実施の形態）

この実施の形態は、ゲート電極、電荷保持部及びソース／ドレイン領域間距離の最適化に関する。

25 図 1 5 に示すように、A はチャネル長方向の切断面におけるゲート電極長、B はソース／ドレイン領域間の距離（チャネル長）、C は一方の電荷保持部 1 6 1 の端から他方の電荷保持部 1 6 2 の端までの距離、つまり、チャネル長方向の切断面における一方の電荷保持部 1 6 1 内の電荷を保持する機能を有する膜 1 4 2 の端（ゲート電極 1 1 7 から離れている側）から他方の電荷保持部 1 6 2 内の電荷を保持する機能を有する膜 1 4 2 の端（ゲート電極 1 1 7 から離れている側）までの距離を示す。

まず、 $B < C$ であることが好ましい。チャネル領域のうちゲート電極 117 下の部分とソース／ドレイン領域 112、113 との間にはオフセット領域 171 が存する。 $B < C$ により、電荷保持部 161、162（シリコン窒化膜 142）に蓄積された電荷により、オフセット領域 171 の全領域において、反転の容易性が効果的に変動する。したがって、メモリ効果が増大し、特に読出し動作の高速化が実現する。

また、ゲート電極 117 とソース／ドレイン領域 112、113 がオフセットしている場合、つまり、 $A < B$ が成立する場合には、ゲート電極 117 に電圧を印加したときのオフセット領域の反転のしやすさが電荷保持部 161、162 に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果を低減することができる。ただし、メモリ効果が発現する限りにおいては、必ずしも存在する必要はない。オフセット領域 171 がいない場合においても、ソース／ドレイン領域 112、113 の不純物濃度が十分に薄ければ、電荷保持部 161、162（シリコン窒化膜 142）においてメモリ効果が発現し得る。したがって、 $A < B < C$ であるのが最も好ましい。

（第 5 実施の形態）

この実施の形態の半導体記憶装置は、図 16 に示すように、実施の形態 2 における半導体基板を SOI 基板とする以外は、実質的に同様の構成を有する。

この半導体記憶装置は、半導体基板 186 上に埋め込み酸化膜 188 が形成され、さらにその上に SOI 層が形成されている。SOI 層内には拡散層領域 112、113 が形成され、それ以外の領域はボディ領域 187 となっている。

この半導体記憶装置によっても、実施の形態 3 の半導体記憶装置と同様の作用効果を奏する。さらに、拡散層領域 112、113 とボディ領域 187 との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

（第 6 実施の形態）

この実施の形態の半導体記憶装置は、図 17 に示すように、第 2 実施の形態において、N 型のソース／ドレイン領域 112、113 のチャネル側に隣接して、P 型高濃度領域 191 を追加した以外は、実質的に同様の構成を有する。

すなわち、P型高濃度領域191におけるP型の不純物（例えばボロン）濃度が、領域192におけるP型の不純物濃度よりも高い。このP型高濃度領域191におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域192のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

このように、P型高濃度領域191を設けることにより、拡散層領域112、113と半導体基板111との接合が、電荷保持部161、162の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、あるいは書込み動作及び消去動作を高速にすることが可能となる。さらに、領域192の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読出し速度が高速な半導体記憶装置を得ることができる。

また、図17において、ソース/ドレイン領域近傍であって電荷保持部161、162の下側の位置（すなわち、ゲート電極の直下ではない位置）に、P型高濃度領域191を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P型高濃度領域191がゲート電極117の直下にある場合に比べて著しく大きい。電荷保持部161、162に書込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合は、この差がいっそう大きくなる。一方、電荷保持部に十分な消去電荷（トランジスタがNチャネル型の場合は正孔）が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極117下のチャネル領域（領域192）の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P型高濃度領域191の不純物濃度には依存せず、一方で、書込み時の閾値は非常に大きな影響を受ける。よって、P型高濃度領域191を、電荷保持部161、162の下であってソース/ドレイン領域近傍に配置することにより、書込み時の閾値のみが非常に大きく変動し、メモリ効果（書込時と消去時での閾値の差）を著しく増大させることができる。

（第7実施の形態）

この実施の形態の半導体記憶装置は、図18に示すように、第2実施の形態に

において、電荷保持膜（シリコン窒化膜 1 4 2）とチャネル領域又はウェル領域とを隔てる絶縁膜 1 4 1 の厚さ T_1 が、ゲート絶縁膜 1 1 4 の厚さ T_2 よりも薄いこと以外は、実質的に同様の構成を有する。

ゲート絶縁膜 1 1 4 は、メモリの書換え動作時における耐圧の要請から、その厚さ T_2 には下限値が存在する。しかし、電荷保持膜（シリコン窒化膜 1 4 2）とチャネル領域又はウェル領域とを隔てる絶縁膜 1 4 1 の厚さ T_1 は、耐圧の要請にかかわらず、 T_2 よりも薄くすることが可能である。

本実施の形態の半導体記憶装置において、上述のような絶縁膜の厚さ T_1 に対する設計の自由度が高いのは以下の理由による。本実施の形態の半導体記憶装置においては、電荷保持膜 1 4 2 とチャネル領域又はウェル領域とを隔てる絶縁膜 1 4 1 は、ゲート電極 1 1 7 とチャネル領域又はウェル領域とに挟まれていない。そのため、電荷保持膜 1 4 2 とチャネル領域又はウェル領域とを隔てる絶縁膜 1 4 1 には、ゲート電極 1 1 7 とチャネル領域又はウェル領域間に働く高電界が直接作用せず、ゲート電極 1 1 7 から横方向に広がる比較的弱い電界が作用する。そのため、ゲート絶縁膜 1 1 4 に対する耐圧の要請にかかわらず、 T_1 を T_2 より薄くすることが可能になるのである。一方、例えば、フラッシュメモリに代表される E E P R O M においては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜は、ゲート電極（コントロールゲート）とチャネル領域又はウェル領域に挟まれているので、ゲート電極からの高電界が直接作用する。それゆえ、E E P R O M においては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さが制限され、メモリ素子の機能の最適化が阻害されるのである。以上より明らかなように、本実施の形態のメモリ素子において電荷保持膜 1 4 2 とチャネル領域又はウェル領域とを隔てる絶縁膜 1 4 1 が、ゲート電極 1 1 7 とチャネル領域又はウェル領域とに挟まれていないことが、 T_1 の自由度を高くする本質的な理由となっている。

上記絶縁膜の厚み T_1 を薄くすることにより、電荷保持部 1 6 1、1 6 2 への電荷の注入が容易になり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜 1 4 2 に電荷が蓄積された時にチャネル領域又はウェル領域に誘起される電荷量が増

えるため、メモリ効果を増大させることができる。

ところで、電荷保持部中での電気力線は、図14の矢印184で示すように、シリコン窒化膜142を通過しない短いものもある。このような短い電気力線上では比較的電界強度が大きいので、この電気力線に沿った電界は書換え動作時には比較的大きな役割を果たしている。絶縁膜141の厚み T_1 を薄くすることにより、シリコン窒化膜142が図14の下側に移動し、矢印184で示す電気力線がシリコン窒化膜142を通過するようになる。それゆえ、電気力線184に沿った電荷保持部中の実効的な比誘電率が大きくなり、電気力線184の両端での電位差をより小さくすることができる。したがって、ゲート電極117に印加された電圧の多くの部分が、オフセット領域における電界を強くするために使われ、書込み動作及び消去動作が高速になる。

以上より明らかなように、チャネル領域又はウェル領域とを隔てる絶縁膜141の厚さ T_1 と、ゲート絶縁膜114の厚さ T_2 とについて、 $T_1 < T_2$ とすることにより、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。

なお、絶縁膜の厚さ T_1 は、製造プロセスによる均一性や膜質が一定の水準を維持することが可能であって、保持特性が極端に劣化しない限界である0.8 nm以上であることが、より好ましい。

具体的には、デザインルールが大きくて高耐圧が必要とされる液晶ドライバLSIにおける場合、液晶パネルTF-Tを駆動するために、最大15～18 Vの電圧が必要となる。このため、ゲート酸化膜を薄膜化することができない。前記液晶ドライバLSIに画像調整用として本発明の不揮発性メモリを混載する場合、本発明のメモリ素子ではゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜242）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できる。例えば、ゲート電極長（ワード線幅）250 nmのメモリセルに対して、 $T_1 = 20$ nm、 $T_2 = 10$ nmで個別に設定でき、書込み効率の良いメモリセルを実現できている。（ T_1 が通常のロジックトランジスタよりも厚くても短チャネル効果が発生しない理由はゲート電極に対して、ソース・ドレイン領

域がオフセットしているためである)。

(第8実施の形態)

この実施の形態の半導体記憶装置は、図19に示すように、第2実施の形態において、電荷保持膜(シリコン窒化膜142)とチャネル領域又はウェル領域とを隔てる絶縁膜141の厚さ T_1 が、ゲート絶縁膜114の厚さ T_2 よりも厚い
5 こと以外は、実質的に同様の構成を有する。

ゲート絶縁膜114は、素子の短チャネル効果防止の要請から、その厚さ T_2 には上限値が存在する。しかし、上記電荷保持膜142下側の絶縁膜141の厚さ T_1 は、短チャネル効果防止の要請にかかわらず、 T_2 よりも厚くすることが
10 可能である。すなわち、微細化スケールリングが進んだとき(ゲート絶縁膜114の薄膜化が進行したとき)にゲート絶縁膜厚 T_2 とは独立して、電荷保持膜(シリコン窒化膜142)とチャネル領域又はウェル領域とを隔てる絶縁膜141の厚さを最適に設計できるため、電荷保持部がスケールリングの障害にならないという効果を奏する。

本実施の形態の半導体記憶装置において、上述のように絶縁膜141の厚さ T_1 に対する設計の自由度が高い理由は、既に述べた通り、電荷保持膜142とチャネル領域又はウェル領域とを隔てる絶縁膜141が、ゲート電極117とチャネル領域又はウェル領域とに挟まれていないことによる。そのため、ゲート絶縁膜114に対する短チャネル効果防止の要請にかかわらず、 T_1 を T_2 より厚く
15 することが可能になるのである。

上記絶縁膜141の厚さ T_1 を厚くすることにより、上記電荷保持部142に蓄積された電荷が散逸するのを防ぎ、メモリの保持特性を改善することが可能となる。

したがって、 $T_1 > T_2$ とすることにより、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。
25

なお、上記絶縁膜141の厚さ T_1 は、書換え速度の低下を考慮して、20nm以下であることが好ましい。

具体的には、フラッシュメモリに代表される従来の不揮発性メモリは、選択ゲート電極が書込み消去ゲート電極を構成し、前記書込み消去ゲート電極に対応す

るゲート絶縁膜（フローティングゲートを内包する）が電荷蓄積膜を兼用している。このため、微細化（短チャネル効果抑制のため薄膜化が必須）の要求と、信頼性確保（保持電荷のリーク抑制のため、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さは7 nm程度以下には薄膜化できない）

5 の要求が相反するため、微細化が困難となる。実際、ITRS（International Technology Roadmap for Semiconductors：国際半導体技術ロードマップ）によれば、物理ゲート長の微細化は0.2ミクロン程度以下に対して目処が立っていない。本発明の半導体記憶装置では、上述したようにT1とT2を個別に設計できることにより、微細化が可能となる。例えば、本発明では、ゲート電極長（ワード線幅）45 nmのメモリセルに対して、T2=4 nm、T1=7 nmで個別
10 に設定し、短チャネル効果の発生しない半導体記憶装置を実現した。T2を通常のロジックトランジスタよりも厚く設定しても短チャネル効果が発生しない理由はゲート電極に対して、ソース・ドレイン領域がオフセットしているためである。また、本発明の半導体記憶装置はゲート電極に対して、ソース・ドレイン領域が
15 オフセットしているため、通常のロジックトランジスタと比較しても更に微細化を容易にしている。

以上のように、本実施形態の半導体記憶装置によれば、電荷保持部の上部に書込、消去を補助する電極が存在しないため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、書込、消去を補助する電極とチャネル領域又はウェル領域間に働く高電界が直接作用せず、ゲート電極から横方向に広がる比較的
20 弱い電界が作用するだけである。そのため、同じ加工世代に対してロジックトランジスタのゲート長と同程度以上に微細化されたゲート長を保有するメモリセルの実現が可能になるのである。

（第9実施の形態）

25 この実施の形態は、本発明の半導体記憶装置において、書換えを行ったときの電気特性の変化に関する。

図20は、Nチャネル型メモリ素子の電荷保持部中の電荷量が、消去状態と書込み状態との異なる状態において、ゲート電圧 V_g (V)の変化に対するドレイン電流 I_d (A)の変化を曲線で示した図であり、横軸がゲート電圧 V_g (V)

であり、縦軸がドレイン電流 I_d (A) である。図 20 から明らかなように、消去状態（実線）から書込み動作を行った場合、単純に閾値が上昇するのみならず、特にサブスレッショルド領域においてグラフの傾きが顕著に減少している。そのため、ゲート電圧 (V_g) が比較的高い領域においても、消去状態と書込み状態でのドレイン電流比が大きくなっている。例えば、 $V_g = 2.5$ V においても、電流比は 2 桁以上を保っている。この特性は、図 21 で示すフラッシュメモリの場合と大きく異なる。図 21 は、フラッシュメモリについて、図 20 と同様に、消去状態と書込み状態とにおいて、ゲート電圧 V_g (V) の変化に対するドレイン電流 I_d (A) の変化を曲線で示した図である。

本実施の形態の半導体記憶装置における上記の特性の出現は、ゲート電極と拡散領域とがオフセットし、ゲート電界がオフセット領域に及びにくいために起こる特有な現象である。半導体記憶装置が書込み状態にあるときには、ゲート電極に正電圧を加えても電荷保持部下のオフセット領域には反転層が極めてできにくい状態になっている。これが、書込み状態においてサブスレッショルド領域での $I_d - V_g$ 曲線の傾きが小さくなる原因となっている。一方、半導体記憶装置が消去状態にあるときには、オフセット領域には高密度の電子が誘起されている。なおかつ、ゲート電極に 0 V が印加されているとき（すなわちオフ状態にあるとき）は、ゲート電極下のチャネルには電子が誘起されない（そのためオフ電流が小さい）。これが、消去状態においてサブスレッショルド領域での $I_d - V_g$ 曲線の傾きが大きく、かつ閾値以上の領域でも電流の増加率（コンダクタンス）が大きい原因となっている。

以上のことから明らかなように、本発明の半導体記憶装置は、書込み時と消去時のドレイン電流比を特に大きくすることができる。

請 求 の 範 囲

1. 第1導電型半導体基板(11, 111)、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜と、

5 上記第1導電型半導体基板(11, 111)、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜上に形成されたゲート絶縁膜(12, 114)と、

上記ゲート絶縁膜(12, 114)上に形成された単一のゲート電極(13, 117)と、

10 上記単一のゲート電極(13, 117)側壁の両側に形成された2つの電荷保持部(61, 62, 161, 162, 162a)と、

上記単一のゲート電極(13, 117)下に配置されたチャネル領域と、

上記チャネル領域の両側に配置された第2導電型拡散層領域(17, 18, 112, 113)とを備え、

15 上記電荷保持部(61, 62, 161, 162, 162a)は、上記電荷保持部に保持された電荷の多寡により、上記ゲート電極(13, 117)に電圧を印加した際の方の上記第2導電型拡散層領域(17, 18, 112, 113)と他方の上記第2導電型拡散層領域(17, 18, 112, 113)との間に流れる電流量を変化させるように構成されてなり、

20 上記他方の第2導電型拡散層領域(17, 18, 112, 113)を基準電圧とし、

上記一方の第2導電型拡散層領域(17, 18, 112, 113)を第1電圧とし、

25 上記ゲート電極(13, 117)を第2電圧とすることにより、キャリアを上記一方の第2導電型拡散層領域側に存する電荷保持部(61, 62, 161, 162, 162a)に注入することを特徴とする半導体記憶装置。

2. 請求項1に記載の半導体記憶装置において、

上記第1導電型半導体基板(11, 111)、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜を、上記第1電

圧とすることを特徴とする半導体記憶装置。

3. 請求項1又は2に記載の半導体記憶装置において、

上記第1導電型は、P型であり、

上記第2導電型は、N型であり、

5 上記キャリアは、正孔であり、

上記第1電圧は、上記基準電圧より高い電圧であり、

上記第2電圧は、上記基準電圧より低い電圧であることを特徴とする半導体記憶装置。

4. 請求項1又は2に記載の半導体記憶装置において、

10 上記第1導電型は、N型であり、

上記第2導電型は、P型であり、

上記キャリアは、電子であり、

上記第1電圧は、上記基準電圧より低い電圧であり、

15 上記第2電圧は、上記基準電圧より高い電圧であることを特徴とする半導体記憶装置。

5. 請求項1に記載の半導体記憶装置において、

上記第2導電型拡散層領域(17, 18, 112, 113)は、上記ゲート絶縁膜(12, 114)を介して上記ゲート電極(13, 117)とオーバーラップ領域を持たないオフセット構造を有していることを特徴とする半導体記憶装置。

20 6. 請求項2に記載の半導体記憶装置において、

上記他方の第2導電型拡散層領域(17, 18, 112, 113)と、上記第1導電型半導体基板(11, 111)、半導体基板内に設けられた第1導電型ウェル領域又は絶縁体上に配置された第1導電型半導体膜との間の電圧差の絶対値は、0.7V以上であって1V以下であることを特徴とする半導体記憶装置。

25 7. 請求項2に記載の半導体記憶装置において、

上記ゲート電極(13, 117)のゲート長は、0.015 μ m以上であって0.5 μ m以下であることを特徴とする半導体記憶装置。

8. 請求項1に記載の半導体記憶装置において、

上記電荷保持部(61, 62, 161, 162, 162a)は、第1の絶縁体、

第2の絶縁体、第3の絶縁体からなり、

上記電荷保持部(61, 62, 161, 162, 162a)は、電荷を蓄積する機能を有する上記第1の絶縁体からなる膜(15, 142, 142a)が、第2の絶縁体と第3の絶縁体とに挟まれた構造を有し、

5 上記第1の絶縁体はシリコン窒化物であり、

上記第2及び第3の絶縁体はシリコン酸化物であることを特徴とする半導体記憶装置。

9. 請求項8に記載の半導体記憶装置において、

10 上記チャネル領域上における上記第2の絶縁体からなる膜(141)の厚さが、
上記ゲート絶縁膜(114)の厚さよりも薄く、かつ、0.8nm以上であることを特徴とする半導体記憶装置。

10. 請求項8に記載の半導体記憶装置において、

15 上記チャネル領域上における上記第2の絶縁体からなる膜(141)の厚さが、
上記ゲート絶縁膜(114)の厚さよりも厚く、かつ、20nm以下であることを特徴とする半導体記憶装置。

11. 請求項8に記載の半導体記憶装置において、

上記電荷を蓄積する機能を有する第1の絶縁体からなる膜(142, 142a)が、上記ゲート絶縁膜(114)の表面と略平行な表面を有する部分(181)を含むことを特徴とする半導体記憶装置。

20 12. 請求項11に記載の半導体記憶装置において、

上記電荷を蓄積する機能を有する第1の絶縁体からなる膜(142, 142a)が、上記ゲート電極(117)の側面と略並行に延びた部分(182)を含むことを特徴とする半導体記憶装置。

13. 請求項1に記載の半導体記憶装置において、

25 上記電荷保持部(61, 62, 161, 162, 162a)の少なくとも一部が上記第2導電型拡散層領域(17, 18, 112, 113)の一部にオーバーラップするように形成されてなることを特徴とする半導体記憶装置。

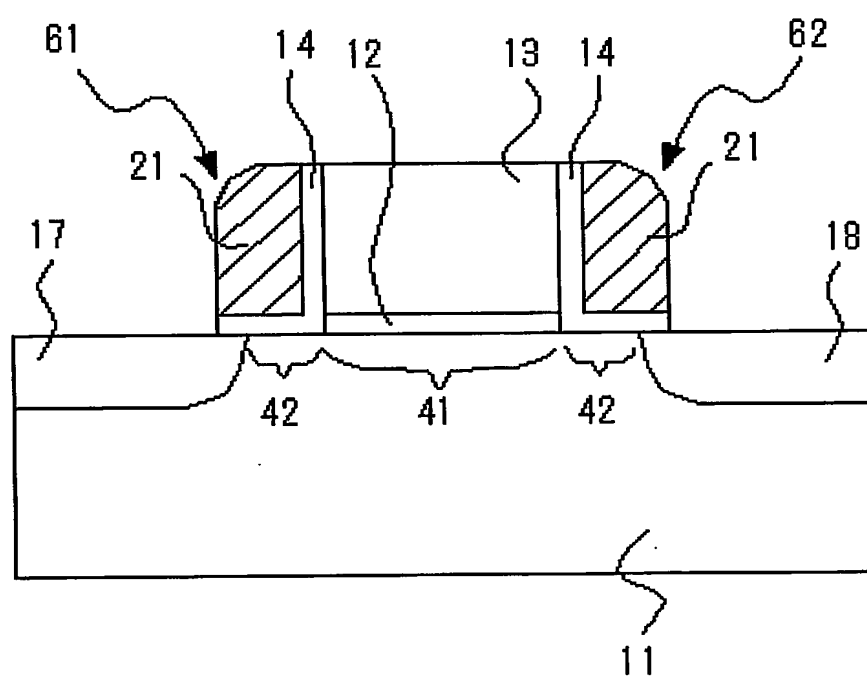
Fig. 1

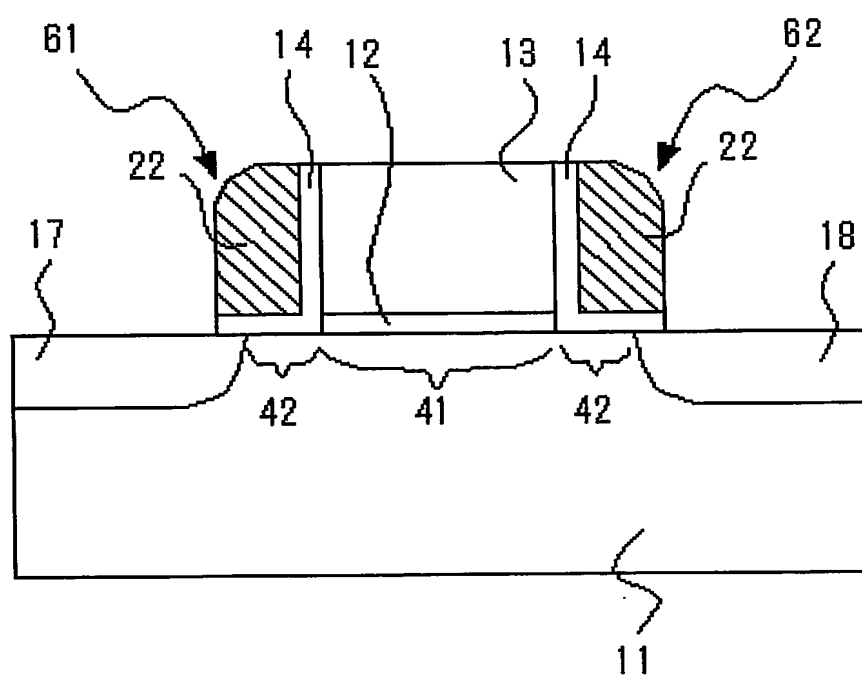
Fig. 2

Fig. 3

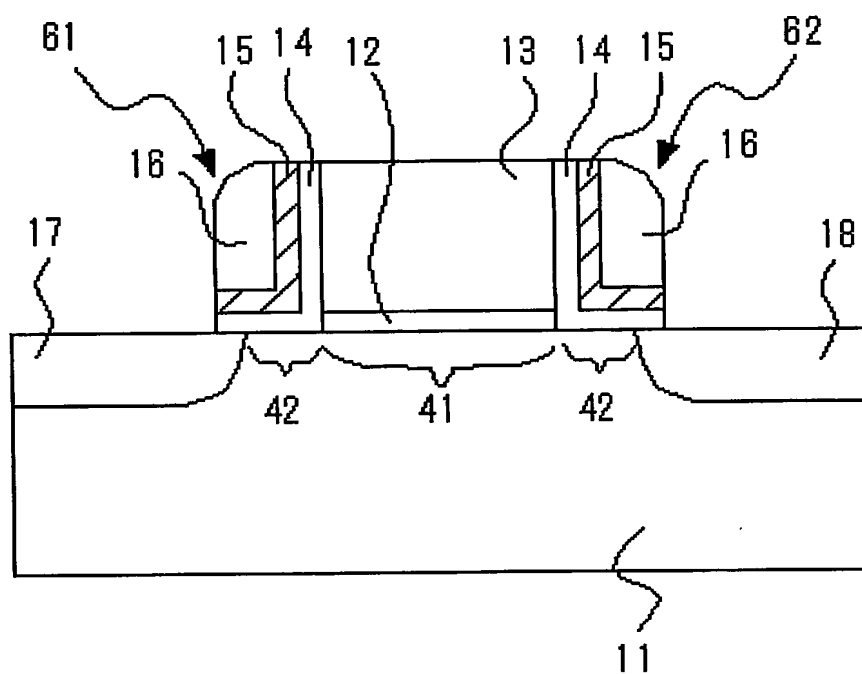


Fig. 4A

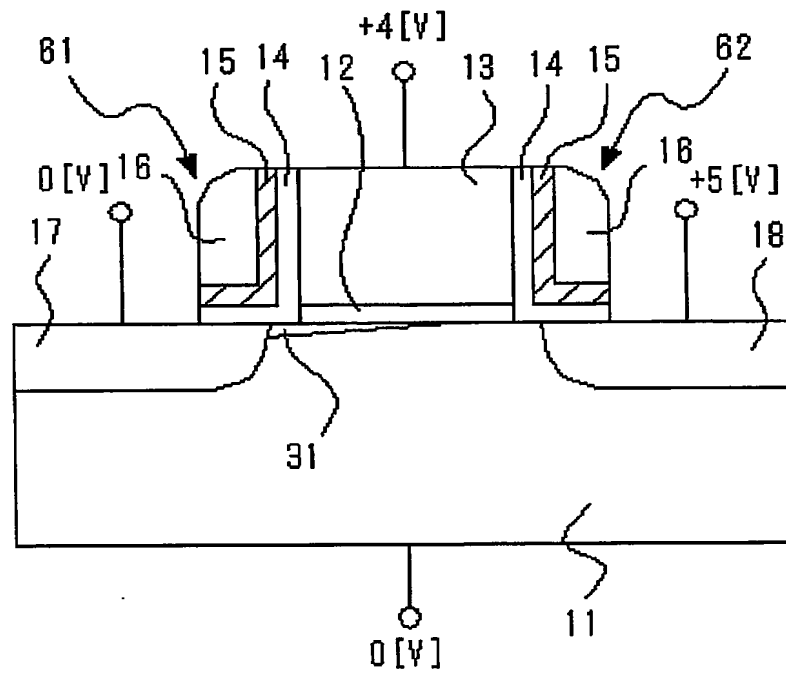
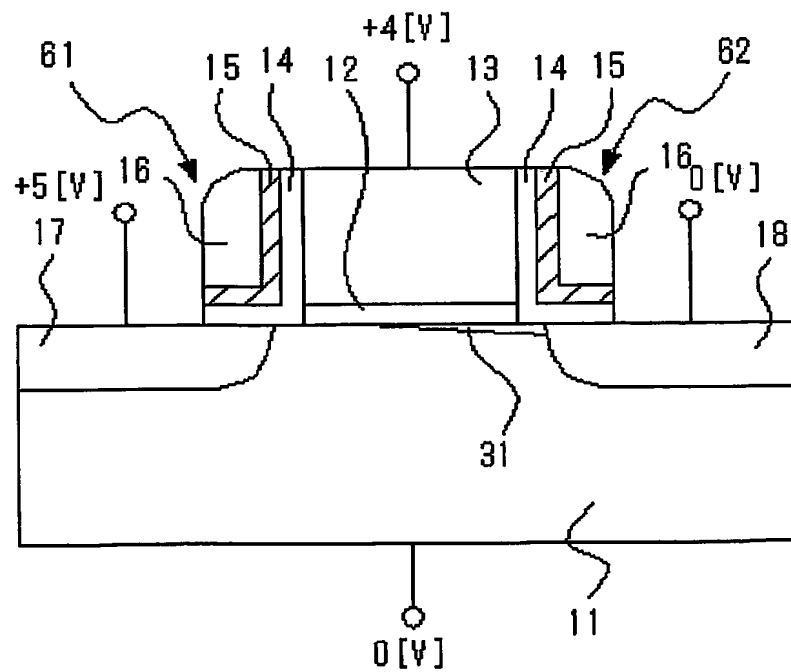
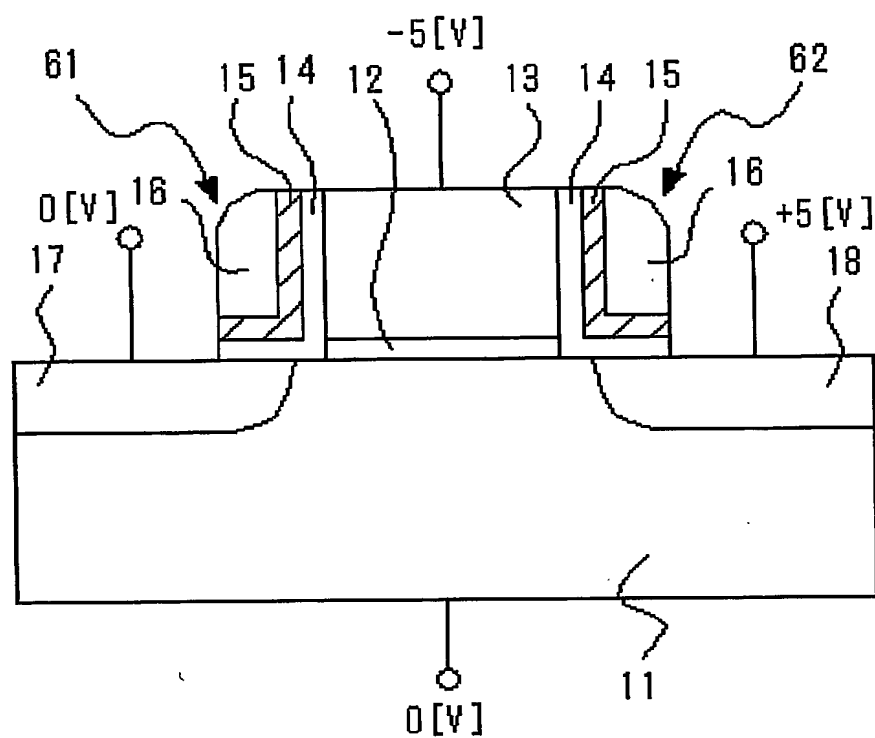


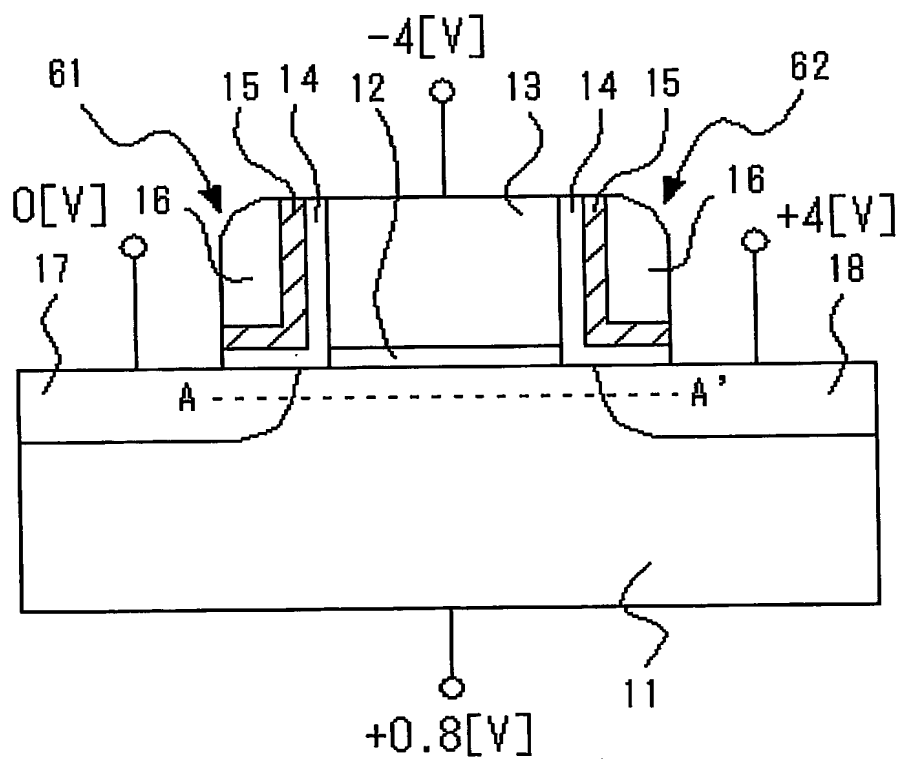
Fig. 4B



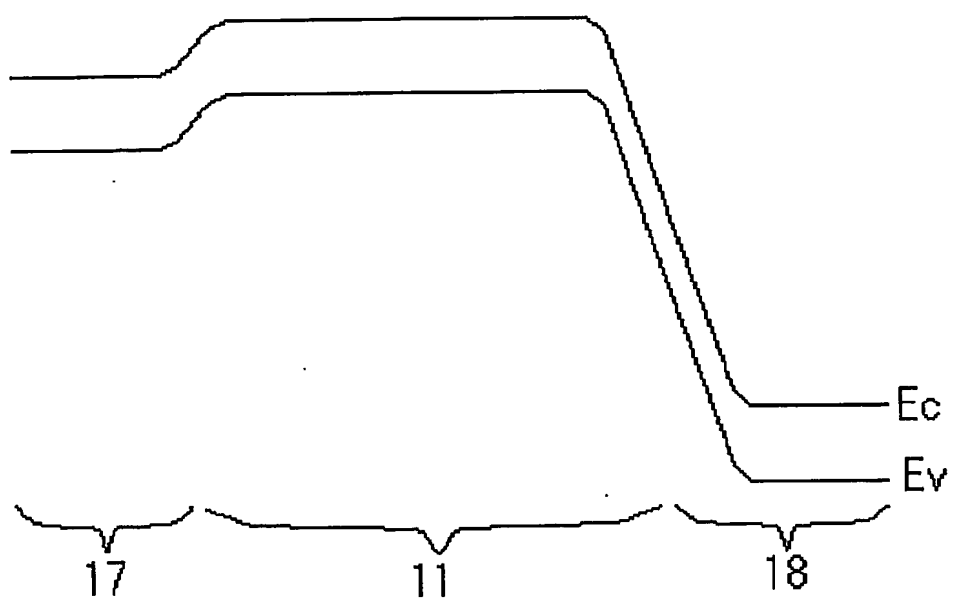
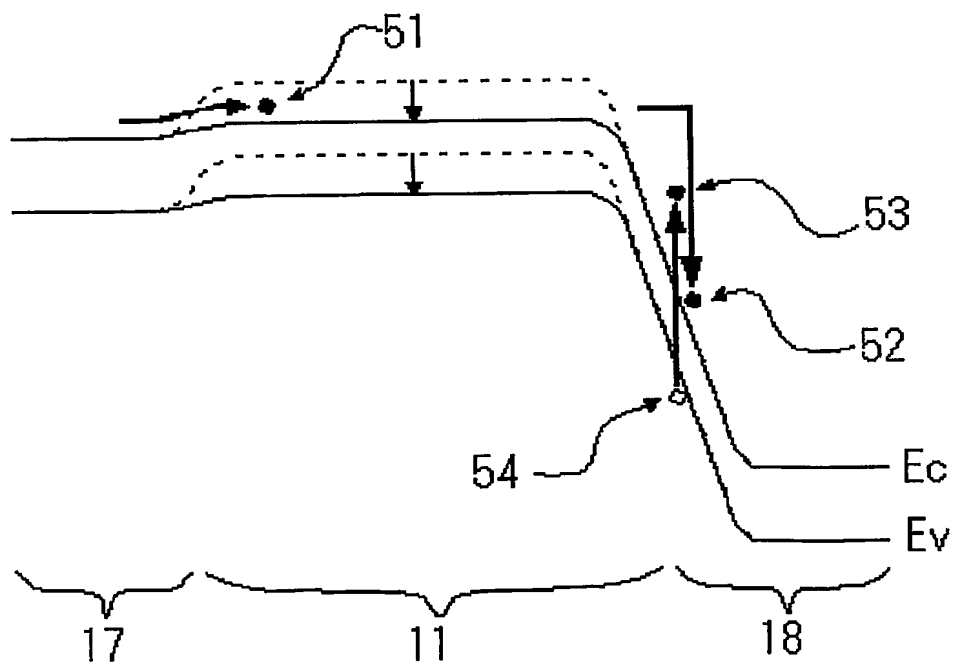
5/22

Fig. 5

6/22

Fig. 6

7/22

Fig. 7A*Fig. 7B*

8/22

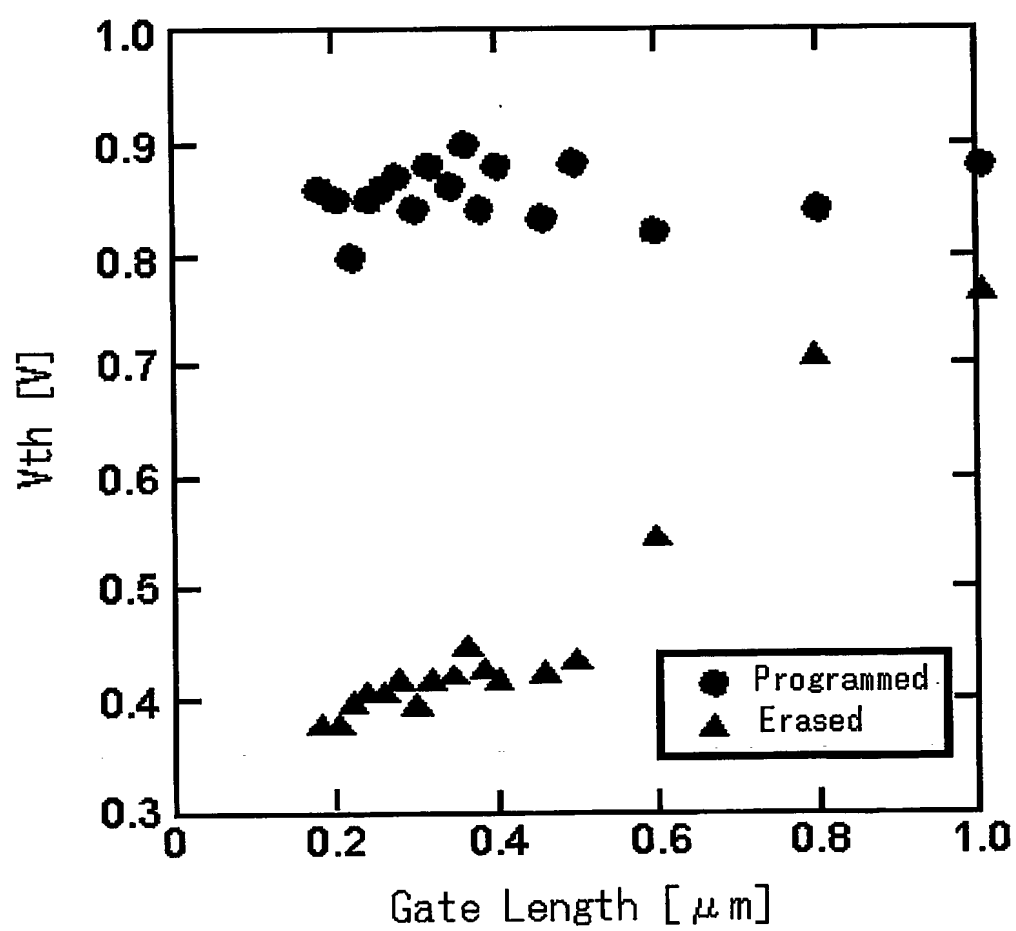
Fig. 8

Fig. 9

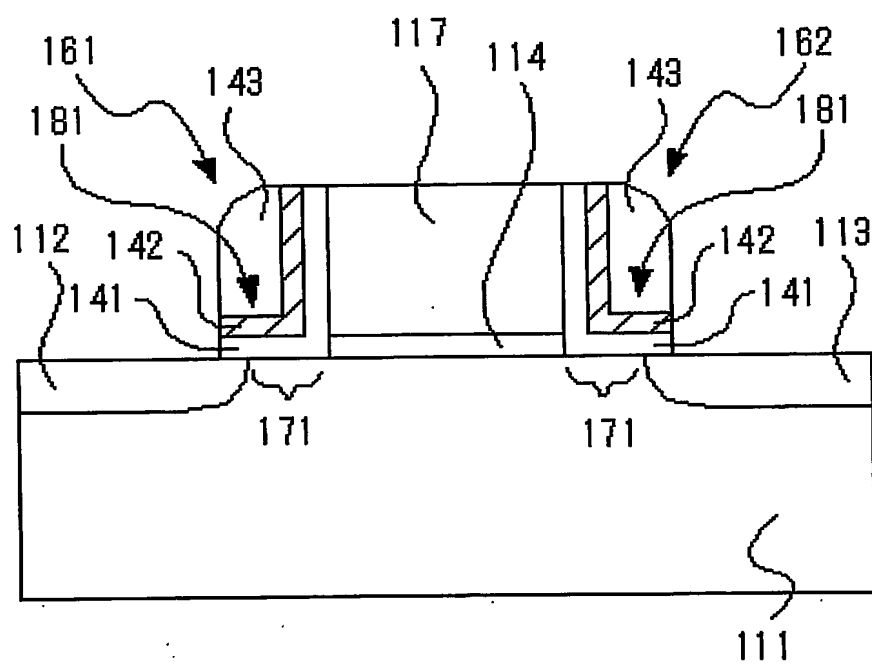
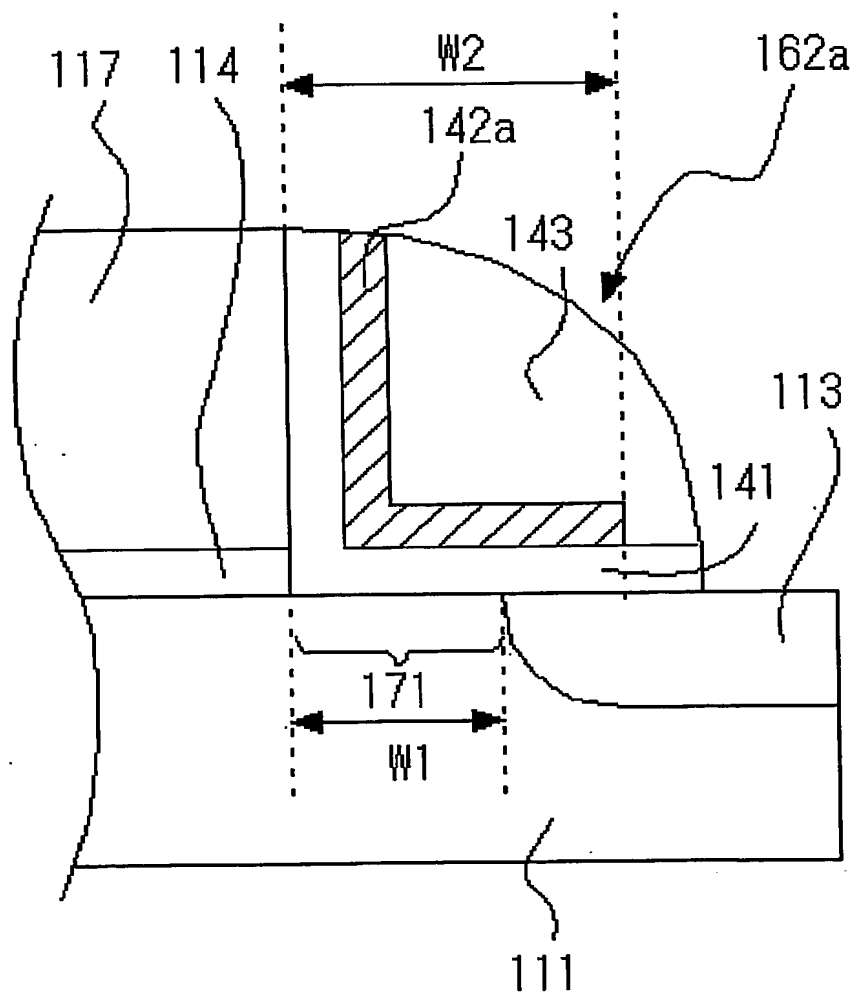
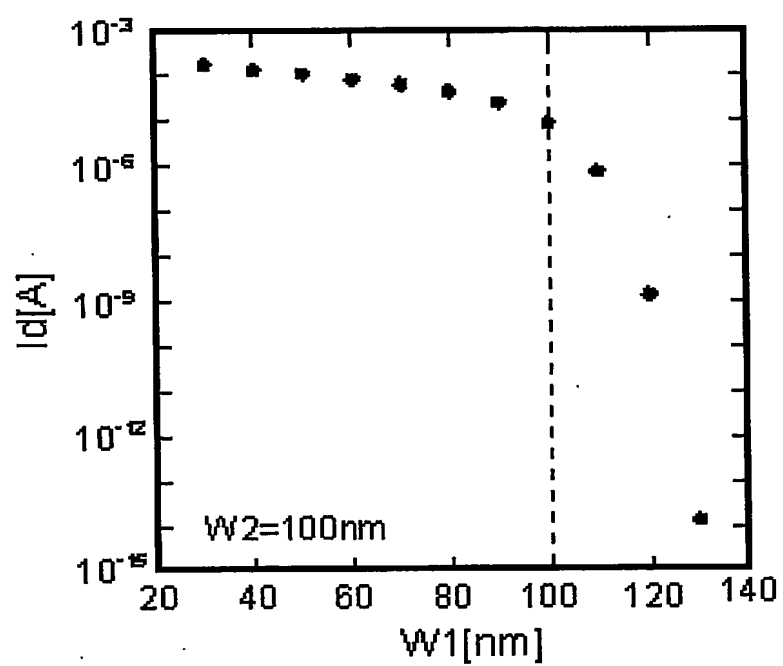


Fig. 11



12/22

Fig. 12

13/22

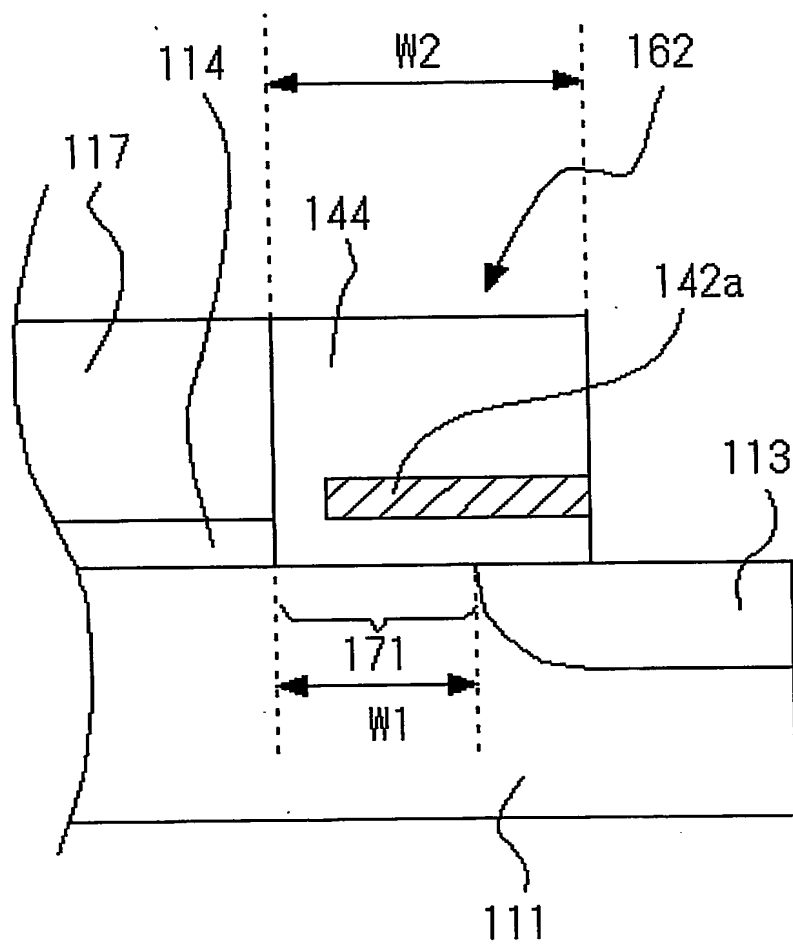
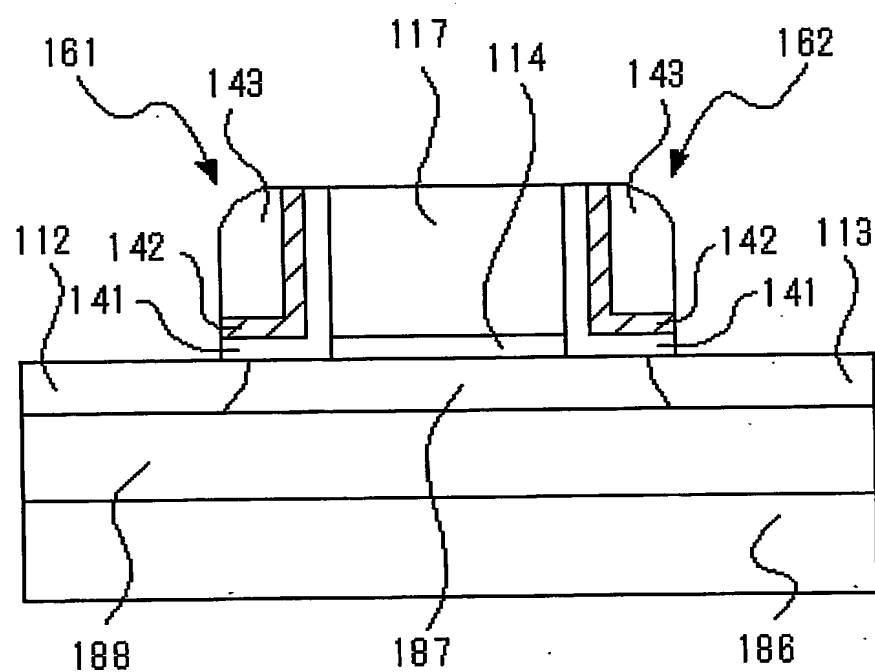
Fig. 13

Fig. 16

17/22

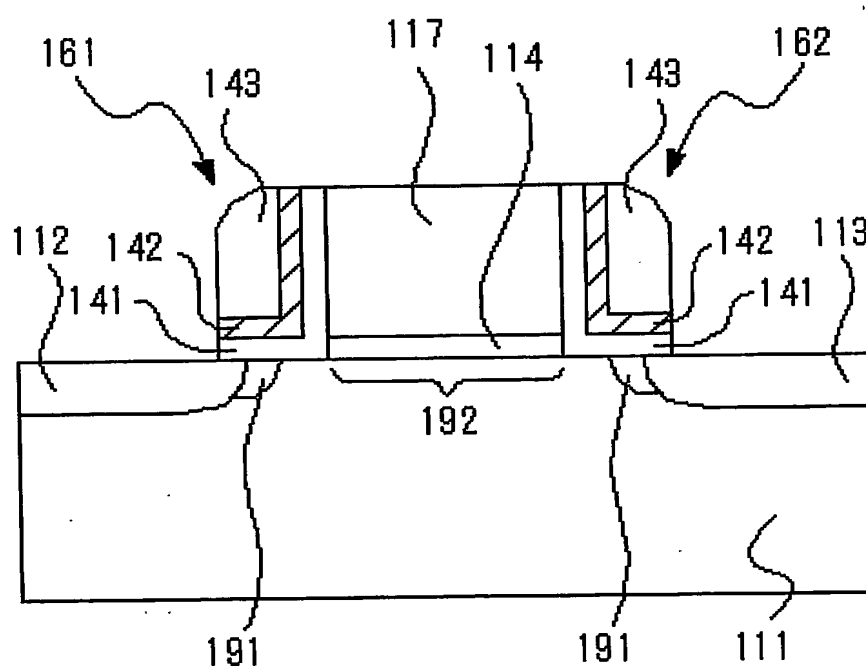
Fig. 17

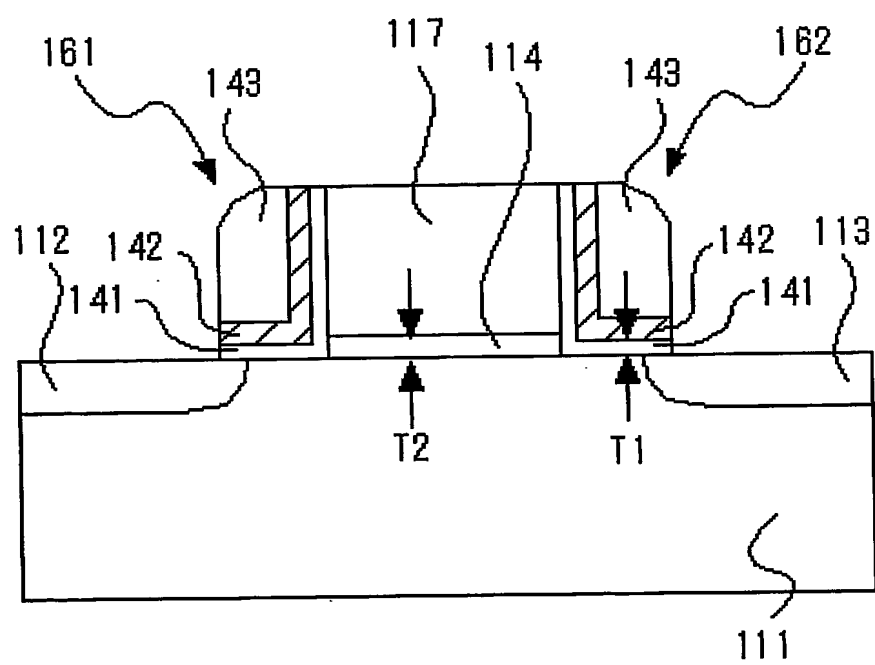
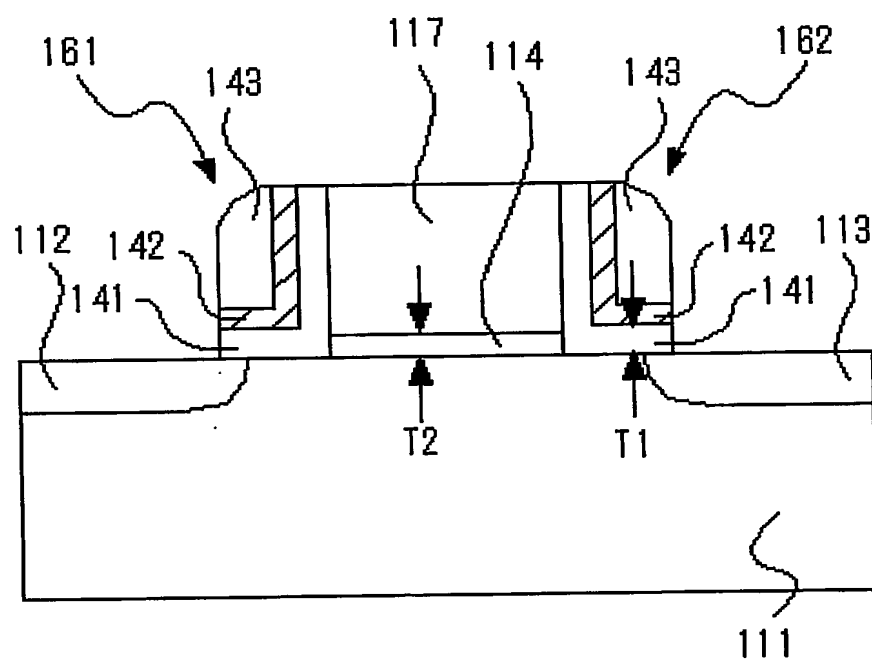
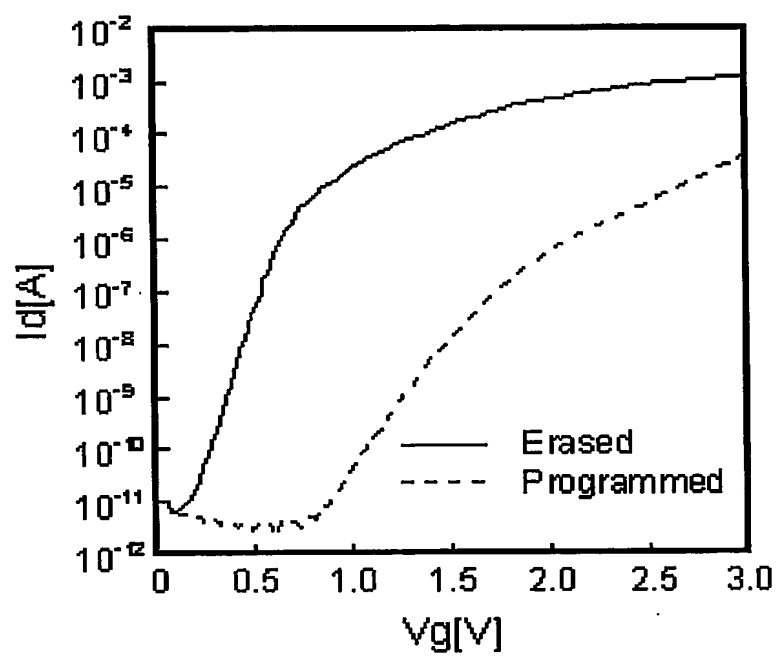
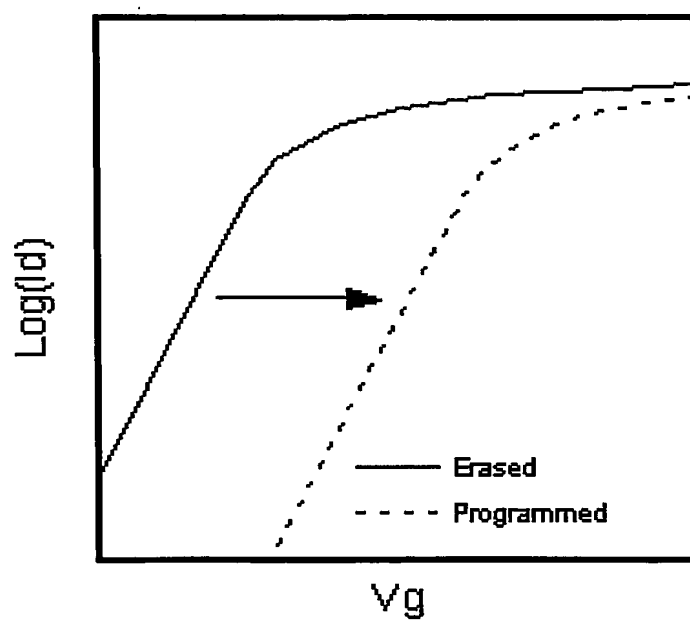
Fig. 18

Fig. 19

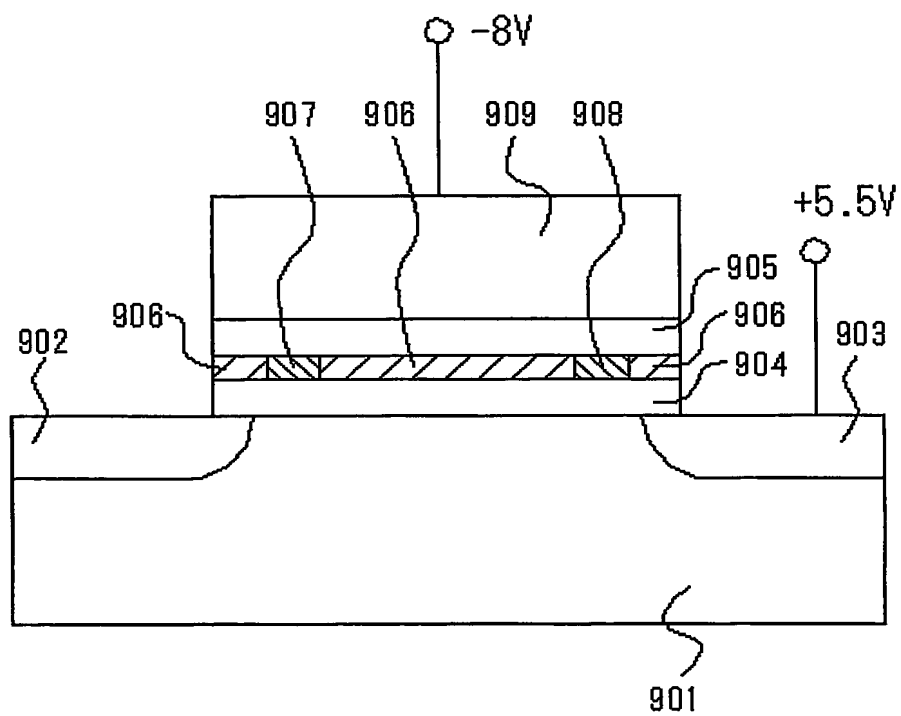
20/22

Fig. 20

21/22

Fig. 21

22/22

Fig. 22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02420

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/792

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/8247, 29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6335554 B1 (KABUSHIKI KAISHA TOSHIBA), 01 January, 2002 (01.01.02),	1-5, 7-9, 11-13
Y	Par. Nos. [0006] to [0008]; Figs. 1 to 3 & JP 2001-156188 A Pages 5 to 7; Figs. 1 to 9	10
X	JP 63-204770 A (Oki Electric Industry Co., Ltd.), 24 August, 1988 (24.08.88)	1, 2, 7, 8, 13
Y	Full text; Figs. 1, 2 (Family: none)	10
X	US 4881108 A (KABUSHIKI KAISHA TOSHIBA), 14 November, 1989 (14.11.89), Figs. 1 to 6 & JP 63-237580 A Full text; Figs. 1 to 6	1-5, 7, 8, 11-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
13 May, 2003 (13.05.03)

Date of mailing of the international search report
27 May, 2003 (27.05.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02420

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5838041 A (KABUSHIKI KAISHA TOSHIBA), 17 November, 1998 (17.11.98), Full text; Figs. 1 to 17 & JP 9-97849 A Full text; Figs. 1 to 17	1-5, 7, 8, 11-13
Y	US 6329247 B1 (NEC CORP.), 11 December, 2001 (11.12.01), Full text; all drawings & JP 2001-44395 A Full text; all drawings	10
Y	US 6316317 B1 (NEC CORP.), 13 November, 2001 (13.11.01), Full text; all drawings & JP 2000-269361 A Full text; all drawings	10
P,X	JP 2002-164446 A (Sony Corp.), 07 June, 2002 (07.06.02), Pages 13 to 17; Figs. 1 to 7 (Family: none)	1-5, 7-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H01L29/792

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H01L21/8247, 29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 6335554 B1 (KABUSHIKI KAISHA TOSHIBA) 2002. 01. 01, 第6-8欄, 第1-3図 & JP 2001-156188 A, 第5-7頁, 第1-9図	1-5, 7-9, 11-13
Y		10
X	JP 63-204770 A (沖電気工業株式会社) 1988. 08. 24, 全文, 第1, 2図 (ファミリーなし)	1, 2, 7, 8, 13
Y		10

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に関する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

13. 05. 03

国際調査報告の発送日

27.05.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純



4M

3238

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 4881108 A (KABUSHIKI KAISHA TOSHIBA) 1989. 11. 14, 全文, 第1-6図 & JP 63-237580 A, 全文, 第1-6図	1-5, 7, 8, 11-13
X	US 5838041 A (KABUSHIKI KAISHA TOSHIBA) 1998. 11. 17, 全文, 第1-17図 & JP 9-97849 A, 全文, 第1-17図	1-5, 7, 8, 11-13
Y	US 6329247 B1 (NEC CORPORATIO N) 2001. 12. 11, 全文, 全図 & JP 2001- 44395 A, 全文, 全図	10
Y	US 6316317 B1 (NEC CORPORATIO N) 2001. 11. 13, 全文, 全図 & JP 2000- 269361 A, 全文, 全図	10
PX	JP 2002-164446 A (ソニー株式会社) 200 2. 06. 07, 第13-17頁, 第1-7図 (ファミリーなし)	1-5, 7-13